

# Technische Informatik II - WS 2003/04

Universität Ulm

Prof. J. Kaiser, Dr. A. Strey, H. Piontek, M. Borst

1. Übungsblatt, Termin der Besprechung: 28. Oktober 2003

---

## Aufgabe 1: Statische Speicher

1. Im folgenden stehen statische Speicherbausteine mit der Organisation 4Mx4 und 16Mx1 zur Verfügung. Wie können die Bausteine verschaltet werden, um jeweils
  - einen 4Mx16 Speicher,
  - und einen 16Mx4 Speicherzu erzeugen?
2. Nehmen Sie an, daß der 4Mx4 Speicherbaustein 10 Euro, der 16Mx1 Speicherbaustein 5 Euro und ein Demultiplexer (unabhängig von seiner Größe) 1 Euro kostet. Welche Speicherorganisation ist jeweils die billigste?
3. Nehmen wir an, der statische Speicher hat eine Zugriffszeit von 10 ns. Für einen Vergleich wird diese Zugriffszeit mit einem Herzschlag eines Menschen gleichgesetzt. Wenn ein Speicherbaustein so viele 'Herzschläge' aushalten würde wie ein durchschnittlicher Mensch (80 Jahr, Puls im Schnitt von 60 Schläge/Minute), wann würde der Speicherbaustein 'sterben', wenn ständig auf ihn zugegriffen wird?

## Aufgabe 2: Vergleich statischer/dynamischer Speicher

1. Skizzieren Sie grob, welche Bestandteile in einem statischen RAM enthalten sind.
2. Vergleichen Sie das statische RAM mit einem dynamischen RAM. Welche Komponenten sind neu?
3. Woher könnten die Begriffe statisches/dynamisches RAM kommen?
4. Welche Vorteile/Nachteile haben die beiden Speichertypen im Vergleich miteinander?

## Aufgabe 3: Refresh Mechanismen

1. Wozu benötigt ein dynamischer Speicher 'Refreshzyklen'? Wie sieht ein 'RAS Only' Refreshzyklus aus, bei dem die Zeilenadresse vom Memory-Controller erzeugt wird?
2. Ein Speicherbaustein (4Mx4, je 11 Adressen für RAS und CAS) muß alle 64 ms 'refreshed' werden. Die Zykluszeit beträgt 70 ns.
  - Wieviele Refreshzyklen müssen innerhalb von 64 ms durchgeführt werden?
  - Wieviel Bandbreite geht durch diese Refreshzyklen verloren, wenn der Refresh einer Zeile 70 ns benötigt?
  - Welche Werte ergeben sich, wenn statt der symmetrischen Aufteilung (je 11 Adressen für RAS und CAS) eine Aufteilung mit 10 Adressen für RAS, 12 Adressen für CAS verwendet wird? Welchen zusätzlichen Vorteil hat diese Aufteilung?

## Aufgabe 4: Dynamischer Speicher

1. Geben Sie ein Zeitdiagramm der Leitungen eines 4Mx4 dynamischen Speicherbausteins annehmen, wenn (a) gelesen wird bzw. (b) geschrieben wird.
2. Was ist der wesentliche Unterschied zwischen DRAM und SDRAM?
3. Welche Trick verbirgt sich hinter DDR-SDRAM? Verdeutlichen Sie dies mit einem Zeitdiagramm eines Burst Lesezugriffs auf 4 aufeinanderfolgenden Adressen.
4. Typische Geschwindigkeitsangaben aus der Werbung von DDR-SDRAM sind PC100-PC400. Viele Kunden würden 100 MHz-400 MHz , also Zugriffszeiten von 10 ns bis 2.5 ns erwarten. Ist dies richtig?

## Aufgabe 5: Speichertypen

1. Ordnen Sie die folgenden Speicherbausteine der Geschwindigkeit nach, wenn die Zugriffe hauptsächlich im Burst Mode (also aufeinanderfolgende Worte lesen) erfolgen.
  - asynchrones SRAM
  - SDRAM
  - DRAM
  - RDRAM
  - EDO-RAM
  - DDR-SDRAM
2. Ein System benötigt 1 MByte Speicher. Die Zugriffe erfolgen hauptsächlich auf nicht aufeinanderfolgende Adressen (also zufällig im gesamten Adressraum). Welche Speicherart kann die Daten am schnellsten liefern?
3. Welche Typen von Halbleiterspeicher kommen in einem modernen PC vor?