

## 3 DRAM (10)

---

- **Vor-/Nachteile** von DRAM-Bausteinen:
  - periodischer Refresh erforderlich
  - hohe Zugriffszeit von ca. 60 ns für das erste Datenwort, dank FPM kürzere Zugriffszeit von ca. 30 ns für folgende Datenworte der gleichen Zeile
  - ca. 4-fach höhere Datendichte als bei SRAM
  - geringer Preis je MBit
- typischer **Einsatz** von DRAMs:
  - Hauptspeicher in PCs und Workstations
  - Pufferspeicher, z.B. in Druckern
- „einfache“ DRAMs sind heute nicht mehr erhältlich, sondern nur noch die schnelleren **DRAM-Varianten** ...

## 4 DRAM-Varianten

---

- Möglichkeiten der Beschleunigung des Zugriffs auf die Daten eines DRAM-Bausteins:
  - 1) **Überlappung**: Auslesen eines Datenwortes erfolgt simultan zum Anlegen der *Spaltenadresse* für den nächsten Speicherzugriff
  - 2) **Burst Mode**: es wird eine festgelegte Anzahl von Daten aus *aufeinander folgenden Spaltenadressen* gelesen oder geschrieben, wobei nur die Startadresse von der CPU bereitgestellt wird
  - 3) **Pipelining**: durch eine mit dem Systemtakt *synchrone Arbeitsweise* kann je Taktzyklus *ein neuer Spaltenzugriff* initialisiert bzw. abgeschlossen werden

## 4 DRAM-Varianten (2)

---

- **EDO-RAM** (*Extended Data Out RAM*, 1996)
  - Weiterentwicklung des **Fast Page Mode**
  - Daten stehen am Ausgang D durch zusätzliche interne Pufferung auch nach Rücknahme des CAS-Signals noch für eine definierte Zeit zur Verfügung
  - simultan kann bereits die nächste Spaltenadresse (in der gleichen Zeile) angelegt werden  
( $\Rightarrow$  **Überlappung** von Auslesen eines Speicherwortes und Anlegen der nächsten Adressinformation)
  - reduzierte Zugriffszeit für weitere Daten aus einer Zeile: ca. 20 ns

## 4 DRAM-Varianten (3)

---

- **SDRAM** (*Synchronous DRAM*, 1999)
  - **getakteter** Speicherbus (typisch 100, 133 oder 166 MHz)
  - alle Signale werden nur **bei steigender Taktflanke** übernommen und ausgegeben
  - Kombination von Signalen auf CS, WE, RAS, CAS definiert Buszyklus
  - arbeitet mit **Pipelining**: in jedem Taktzyklus kann *eine neue Spaltenadresse* angelegt werden, wobei die zugehörigen Daten eine bestimmte, einstellbare Anzahl von Takten später am Ausgang bereitstehen
  - kann im **Burst Modus** arbeiten: Lesen oder Schreiben einer bestimmten, einstellbaren Anzahl von Datenworten von benachbarten Spaltenadressen (typisch 2, 4 oder 8 Datenworte oder eine ganze Speicherzeile)
  - Zugriffszeit im Burst-Modus: **ca. 6 bis 10 ns**  
(entspricht einer *maximalen* Speicherbandbreite von 400 bis 666 MByte/s bei Einsatz eines 32-Bit Speicherbusses, bzw. von 800 bis 1,33 GByte/s bei einem 64-Bit Speicherbus)

## 4 DRAM-Varianten (4)

---

- Nomenklatur von SDRAMs: **PC<sub>xxx</sub> a-b-c**
  - **xxx** gibt die maximale Taktfrequenz des Speicherbusses an
  - **a** gibt die **CAS-Latenzzeit** (*CAS Latency*) an, d.h. die Zeit **t<sub>CL</sub>** (in Taktzyklen) von der fallenden Flanke des CAS-Signals bis zur Ausgabe der Daten
  - **b** gibt die **RAS-zu-CAS-Verzögerung** (*RAS-to-CAS Delay*) an, d.h. die minimale Zeit **t<sub>RCD</sub>** (in Taktzyklen) zwischen Anlegen von RAS und CAS
  - **c** gibt die **RAS-Vorladezeit** (*RAS Precharge Time*) an, d.h. die Zeit **t<sub>RP</sub>** (in Taktzyklen) zum Beenden des letzten Zugriffszyklus und Vorbereiten des nächsten Zeilenzugriffes (*Precharging*)
- oft wird nur die CAS-Latenzzeit **t<sub>CL</sub>** angegeben (z.B. als CL2, oder CL3)
- heute (2003) werden SDRAMs für 100 und 133 MHz bei Kapazitäten von 64 MBit bis 512 MBit angeboten

## 4 DRAM-Varianten (5)

---

- DDR-SDRAM (*Double Data Rate SDRAM*, 2001)
  - pro Takt werden zwei Datenwörter übertragen: je eins bei der **steigenden und** bei der **fallenden Taktflanke**  
(⇒ Verdopplung der Datenrate im Burst-Modus möglich)
- Nomenklatur bei DDR-SDRAMs: **DDR<sub>xxx</sub>** oder **PC<sub>yyyy</sub>**
  - **xxx** bezeichnet die **doppelte** Taktfrequenz
  - **yyyy** bezeichnet die **maximale Datenrate** bei einem 64-Bit Speicherbus
  - zusätzliche Angaben in der Form **a-b-c** bedeuten **a** = t<sub>CL</sub>, **b** = t<sub>RCD</sub> und **c** = t<sub>RP</sub> (vgl. SDRAMs)
- heute (2003) werden DDR-SDRAMs für Taktfrequenzen von 133 und 166 MHz (gelegentlich auch 200 MHz) bei Kapazitäten von 128 MBit bis 1 GBit angeboten
  - theoretische maximale Speicherbandbreiten von 2100 bis 3200 MByte/s, praktisch erreichbare Bandbreiten liegen deutlich **niedriger!**

## 4 DRAM-Varianten (6)

- RDRAM (*Rambus DRAM*, 1999)
  - Entwicklung der Fa. Rambus in Zusammenarbeit mit Intel
  - interner konventioneller DRAM Speicher, gekoppelt mit sehr schnellem komplexen **16-Bit Interface** (RDRAM Kanal bzw. *Channel*):  
mit einem **800 MHz Takt** werden bei steigender und bei fallender Taktflanke sowohl Daten als auch **Adressen** übertragen  
( $\Rightarrow$  Übertragungsrate von **1.6 GByte/s** möglich)
  - spezieller RDRAM Memory-Controller erforderlich; Kommunikation zwischen Controller und RDRAM-Bausteinen erfolgt in **Paketen**
  - je RDRAM Memory-Controller sind zwei parallele RDRAM Kanäle möglich, so daß sich eine **32-Bit** Datenbreite ergibt  
( $\Rightarrow$  Übertragungsrate von **3.2 GByte/s** möglich)
  - zukünftige Verbreitung in PCs unklar, zumal zwei- bis dreimal so teuer wie DDR-SDRAMS (Stand 2003)
  - jedoch häufiger Einsatz in Geräten der Unterhaltungselektronik

## 4 DRAM-Varianten (7)

- Zusammenfassung typischer Werte (Stand 2003):

<i>Variante</i>	<i>mit Takt</i>	<i>Zykluszeit</i>	<i>Zugriffszeit</i>	<i>Zugriffszeit Folgezugriffe</i>
DRAM (FPM)	–	80 ns	60 ns	30 ns (25 MWorte/s)
EDO-RAM	–	80 ns	50 ns	20 ns (50 MWorte/s)
SDRAM	133 MHz	60 ns	40 ns	7,5 ns (133 MWorte/s)
DDR-SDRAM	133 MHz	60 ns	40 ns	3,75 ns (266 MWorte/s)
RDRAM	800 MHz	70 ns	45 ns	1,25 ns (800 MWorte/s)

- eine einzelne DRAM-Speicherzelle ist kaum schneller geworden; lediglich das Interface wurde so verbessert, dass Zugriffe auf aufeinander folgende Daten wesentlich beschleunigt werden!  
 $\Rightarrow$  sinnvoll für Caches, da hier stets komplette Cachezeilen gelesen bzw. geschrieben werden  
(Cachezeile beim Pentium III: 32 Byte, beim Pentium 4: 64 Byte)

## 4 DRAM-Varianten (8)

---

- weitere DRAM-Entwicklungen:
  - **mehrere** (typisch 2 oder 4) interne **Speicherbänke** je Speicherbaustein: während des Lesens von Daten aus einer Zeile kann bereits eine andere Zeile adressiert werden, sofern diese in einer anderen Speicherbank ist (⇒ höherer Datendurchsatz möglich)
  - **DDR2**-SDRAMs ermöglichen höhere Taktraten als DDR-SDRAMs durch modifizierte Schaltungstechnik und niedrigere Versorgungsspannung
  - Speicherbausteine mit **QBM** (*Quad Band Memory*) Technologie erlauben im Vergleich zu SDRAMs eine vierfache Datenrate durch das Übertragen von vier Datenworten je Taktzyklus
  - **RLDRAM** (*Reduced Latency DRAM*) ermöglicht durch einen Verzicht auf das Multiplexing von Zeilen- und Spaltenadressen kürzere Latenzzeiten bei wahlfreiem Speicherzugriff

## 5 Speichermodule

---

- Speicherbausteine werden nicht einzeln verwendet, sondern als **Module**



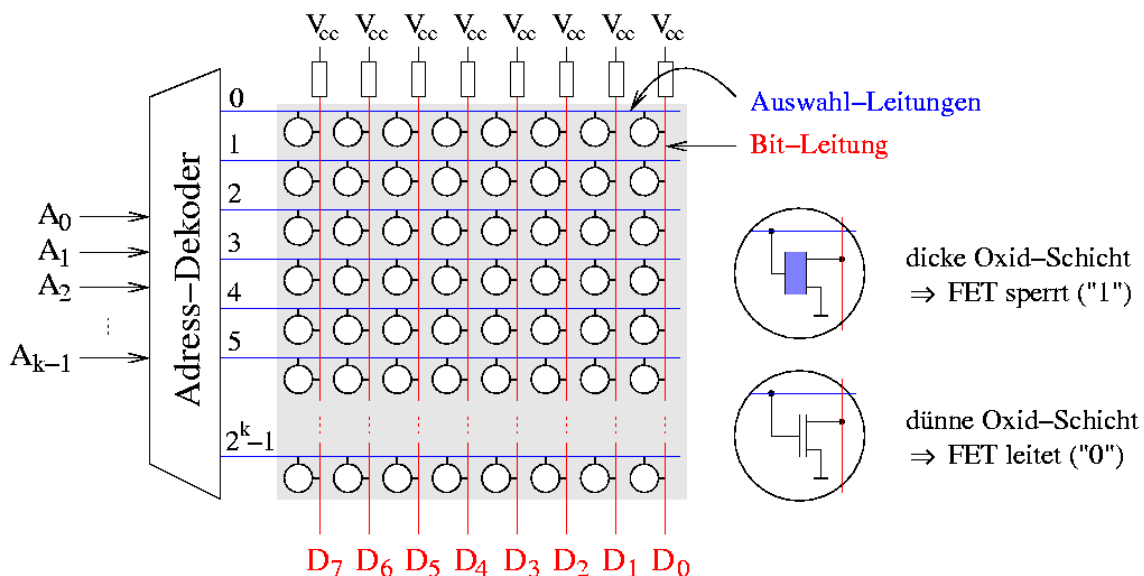
- **SIMM** (*Single Inline Memory Module*) oder **PS/2-Modul**
  - einseitig bestückt, 72 Kontakte nur auf einer Seite der Speicherplatine, 32 Datenbits (⇒ jeweils 2 identische Module für 64-Bit Bus erforderlich)
- **DIMM** (*Dual Inline Memory Module*)
  - Kontakte beidseitig, i.a. zweiseitig bestückt, 64 Datenbits
  - bei Verwendung von SDRAMs: 168 Kontakte, bei Verwendung von DDR-SDRAMs: 184 Kontakte
  - heute (2003) von 128 MByte bis 1 GByte erhältlich

## 5 Speichermodule (2)

- **RIMM** (*Rambus Inline Memory Module*)
  - 184 Kontakte beidseitig, i.a. zweiseitig bestückt, 16 Datenbits
  - un belegte Sockel sind mit einem Dummy-Modul (C-RIMM) zu belegen
  - heute (2003) von 128 MByte bis 512 MByte erhältlich
- neben den normalen („*unbuffered*“) Speichermodulen gibt es auch solche mit zusätzlichen **Registern** („*registered*“) zum Aufbau von Servern mit sehr großem Arbeitsspeicher
- auch Speichermodule mit **Fehlererkennung** oder **Fehlerkorrektur** verfügbar:
  - zusätzlicher Speicherbaustein für Prüfbits erforderlich
  - **Parity-Module** gestatten eine *Fehlererkennung*, 1 zusätzliches Prüfbit
  - **ECC-Module** (*Error Correcting Code*) gestatten eine *Fehlerkorrektur*, 8 zusätzliche Prüfbits bei 64-Bit Modulen

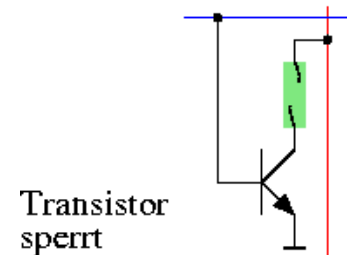
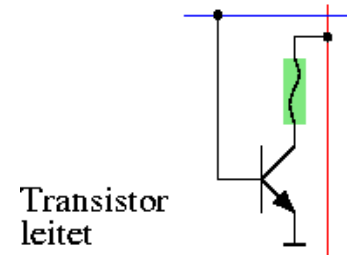
## 5 Nichtflüchtige Speicher

- ein Festwertspeicher (**ROM** = *Read Only Memory*) hat auch eine matrixartige Architektur; der FET in einer jeden Zelle wird über eine Maske bei der Produktion permanent leitend oder sperrend



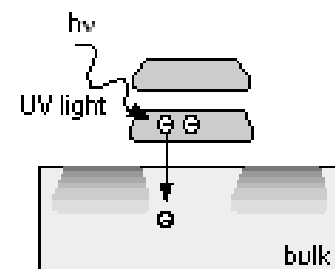
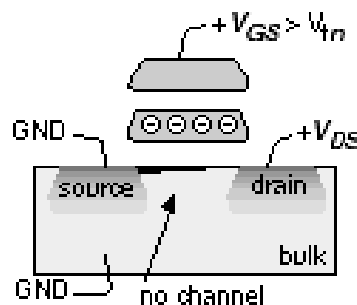
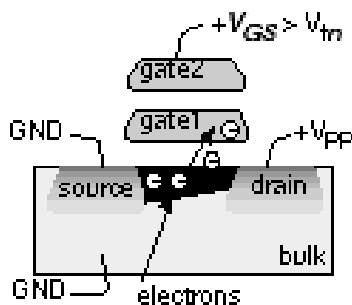
## 5 Nichtflüchtige Speicher (2)

- bei einem **PROM** (*Programmable ROM*) sind die Transistoren nur über eine **sehr dünne Metallschicht** (*fuse*) mit der Bitleitung verbunden
  - bipolare Transistoren anstatt FETs
  - alle Transistoren eines PROMs sind zunächst leitend
  - durch einen kurzen Überspannungsimpuls auf der Bitleitung kann die Metallschicht verdampft werden ( $\Rightarrow$  Transistor sperrt)
  - Programmierung ist irreversibel
  - sehr kurze Zugriffszeiten (ca. 5 ns) beim Lesen möglich
  - auch zur Realisierung logischer Schaltungen geeignet



## 5 Nichtflüchtige Speicher (3)

- ein **EPROM** (*Erasable PROM*) basiert auf Floating Gate FETs:
  - FET ist zunächst leitend
  - bei Anlegen einer hohen Spannung  $V_{GS}$  (12V) an gate2 entsteht ein elektrisches Feld, das die Elektronen auf das „Floating Gate“ (gate1) springen läßt ( $\Rightarrow$  FET sperrt)
  - Ladung auf „Floating Gate“ bleibt einige Jahre erhalten
  - erst durch UV Licht werden Elektronen wieder freigesetzt ( $\Rightarrow$  FET leitet)
  - Programmierung erfordert spezielles Programmiergerät
  - Lebensdauer: einige 100 Lösch-/Brennvorgänge



## 5 Nichtflüchtige Speicher (4)

---

- ein **EEPROM** (*Electronically Erasable PROM*) basiert auf Floating Gate Tunnel Oxide FET Transistoren:
  - dünne Oxidschicht, durch die bei Anlegen *negativer* Spannungen  $V_{GS}$  die Elektronen zurückspringen können
  - bis zu 10000 Schreibvorgänge möglich
  - Löschen einzelner Werte möglich
  - Zeit für Lesen eines Wertes: 35 ns, für das Schreiben jedoch 5 bis 10 ms
- **Flash**-Speicher arbeiten ähnlich wie EEPROMs, haben jedoch günstigere Eigenschaften
  - 60 bis 150 ns Zugriffszeit für Lesen (entspricht bis zu 16 MWorte/s)
  - Zeit für Schreiben eines Wertes: ca. 5  $\mu$ s
  - bis zu 100000 Schreibvorgänge möglich
  - hohe Kapazität, heute (2003) bis zu 64 MByte
  - nur blockweises Löschen möglich

## 5 Nichtflüchtige Speicher (5)

---

- Möglichkeiten der Ansteuerung von Festwertspeichern:
  - **bitseriell**: serielles Interface, bestehend aus Taktleitung und gemeinsamer Leitung für Daten und Adressen
  - **parallel**: mehrere Daten- und Adressleitungen
- typische Anwendungen von Festwertspeichern:
  - Speicherung des **BIOS** (*Basic Input/Output System*) beim PC
  - Speicherung aller Programme bei kleineren **eingebetteten Systemen**
  - in Geräten der Kommunikationstechnik und Unterhaltungselektronik zur Speicherung von Rufnummern, Senderfrequenzen, ...
  - als Flashkarten zur **Speicherung von Bildern** in digitalen Fotoapparaten, für **Musikdateien** beim MP3-Player, ...
  - in USB **Memory-Sticks** zur Speicherung von Daten oder Programmen
  - Initialisierung von **FPGAs**