

Computer-Arithmetik – WS 2002/2003

Abteilung Neuroinformatik, Universität Ulm

PD Dr. A. Strey

3. Übungsblatt, Besprechung am 04.12.2002, 16.15 Uhr im Raum O27/122

Aufgabe 1: 16-Bit Multiplikation auf 8-Bit Mikroprozessor

Gegeben sei ein einfacher 8-Bit Mikroprozessor, der eine $8 \times 8 \rightarrow 16$ Bit Multiplikation gestattet. Er bietet hierzu den Befehl `mulu ri, rj` an, der das Produkt zweier positiver (*unsigned*) 8-Bit Zahlen bestimmt. Die höherwertigen 8 Bit des 16-Bit Produkts befinden sich nach der Operation stets in Register `ri`, die niederwertigen 8 Bit in Register `rj`.

1. Überlegen Sie zunächst prinzipiell, wie die Berechnung eines $2n \times 2n$ Bit Produktes auf eine $n \times n$ Bit Multiplikation zurückgeführt werden kann !
2. Schreiben Sie (z.B. in Pseudosprache) für diesem Mikroprozessor ein kleines Programm zur Multiplikation zweier positiver 16-Bit Zahlen a und b , die sich zu Beginn in je zwei Registern befinden.

Hinweise : Es steht eine ausreichend große Anzahl von 8-Bit Registern `ri` für temporäre Ergebnisse zur Verfügung. Für die Additionen zweier 8-Bit Zahlen existieren die Befehle `add` und `addc` (*add with carry c₀*).

3. Welche Zeit wird für die 16×16 Bit Multiplikation benötigt, wenn eine 8×8 Bit Multiplikation 8 Takte und jede Addition einen Takt erfordert ?
4. Der Mikroprozessor bietet zusätzlich noch den Befehl `mults ri, rj`, der zwei vorzeichenbehaftete (*signed*) 8-Bit Zahlen multipliziert. Kann hiermit die Multiplikation zweier vorzeichenbehafteter im Zweierkomplement kodierter 16-Bit Zahlen nachgebildet werden ? Begründung !

Aufgabe 2: Multiplikation nach Booth

1. Multiplizieren Sie folgende im Zweierkomplement kodierte 6 – Bit Zahlen mit dem Booth-Algorithmus; überprüfen Sie jeweils Ihr Ergebnis :
 - a) 010110_2 und 011001_2
 - b) 010110_2 und 110010_2
2. Überlegen Sie, warum der Multiplikations-Algorithmus nach Booth auf für negative im Zweierkomplement kodierte Zahlen korrekte Produkte berechnet !
3. Die Multiplikation nach Booth soll nun erweitert werden, indem $k = 3$ Bitstellen $b_{i+1}b_i b_{i-1}$ des Multiplikators überlappend analysiert werden. Stellen Sie eine Tabelle mit den durchzuführenden Operationen auf ! Wie können die die Multiplikatorbits hier umkodiert werden ?

Aufgabe 3: Multiplizierer mit Analyse mehrerer Multiplikatorbits

Die in der Vorlesung vorgestellten Multiplizierer können beschleunigt werden, indem statt eines einzelnen Bits des Multiplikators b in jedem Schritt k Bits analysiert werden und entsprechende Vielfache von a addiert werden.

1. Wie ist der sequentielle Multiplizierer (s. Kap. 2, Folie 40) zu modifizieren, wenn $k = 3$ Multiplikatorbits gleichzeitig analysiert werden sollen ?
2. Wie ist der CSA-basierte sequentielle Multiplizierer (s. Kap. 2, Folie 42) zu modifizieren, wenn $k = 2$ Multiplikatorbits gleichzeitig analysiert werden sollen ?
3. Welche Zeitersparnis ergibt sich jeweils ?