

Proseminar FPGA
High End FPGA Xilinx Virtex II Pro

Rouven Radtke und Alexander Bernauer
Universität Ulm

10. Juni 2003

Inhaltsverzeichnis

1	Einleitung	3
2	Aufbau und Routing	3
2.1	Aufbau	3
2.2	Routing	4
3	Configurable Logic Block (CLB)	5
3.1	Einbettung der Begriffe	5
3.2	Funktionalität Funktionsgenerator	6
	Look-Up-Table (LUT)	6
	distributed SelectRAM+	6
	ROM	6
	Schieberegister	6
3.3	Funktionalität CLB	6
	Multiplexer	6
	Arithmetische Logik	7
	3-state Puffer	7
4	Block SelectRAM+ und Multiplier Blocks	7
4.1	Einleitung	7
4.2	Parity	7
4.3	Dual-Port Konfiguration	8
4.4	Schreibmodi	8
4.5	Multiplizierer	8
5	Clocks und DCM	8
5.1	Einführung	8
5.2	Die Treiberstufe	9
5.3	Digital Clock Manager (DCM)	9
6	Select I/O	10
6.1	SelectIO-Ultra	10
6.2	Konfiguration	10
7	RocketIO	10
7.1	Einleitung	10
7.2	Eigenschaften	10
7.3	Anwendung	11
7.4	Konfiguration	11
8	Xcite DCI	12
8.1	Einleitung	12
8.2	Funktionsweise und Konfiguration	12
9	PPC	12
9.1	Softcore	12
	MicroBlaze	12
	PicoBlaze	13
9.2	Embedded PowerPC	13

9.3	Performance	13
9.4	Speicheranbindung	14
9.5	Anwendungen	14
10	Zusammenfassung	14
10.1	Zusammenfassung	14

1 Einleitung

Die Bausteine der Virtex-II Pro Familie sind die neuesten aus dem Hause Xilinx. Sie sind momentan die am weitesten entwickelten FPGAs auf dem Markt. Da die Architektur eine Weiterentwicklung der Virtex-II Architektur ist, besitzen Virtex-II Pro Bausteine die selben besonderen Fähigkeiten, wie Digitally Controlled Impedance (DCI) zur Signalverbesserung in seriellen Kanälen, Digital Clock Manager (DCM) zur Taktsignalmanipulation und -synthese, spezielle XtremeDSP Multiplizierer für schnelle digital Signalverarbeitung und System I/O Technologie zur Unterstützung von vielen Kommunikationsprotokollen.

Zusätzlich wurden in die Virtex-II Pro Bausteine Rocket I/O Multi-Gigabit Transceiver (MGT) und eingebettete IBM PowerPCs integriert. Die MGTs unterstützen weitere Kommunikationsprotokolle und können für Verbindungen mit bis zu 3.125 Gbit/s verwendet werden. Die PPCs laufen bei 300 MHz mit einer Leistung von 420 DMIPS.

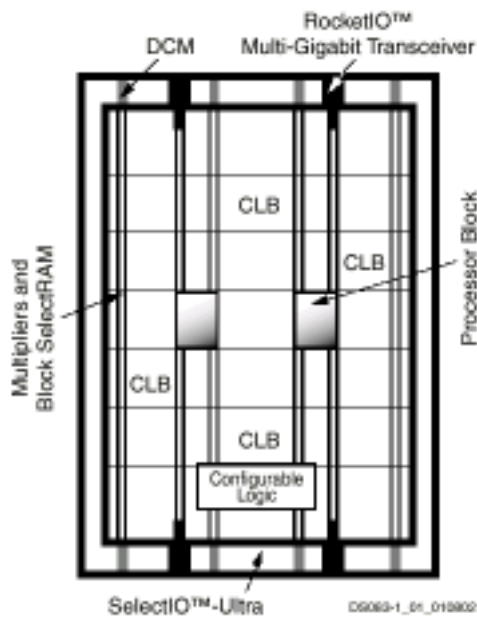
Die Familie besteht aus 10 verschiedenen Bauteilen, die sich in den vorhandenen Ressourcen unterscheiden.

Device	2VP2	2VP4	2VP7	2VP20	2VP30
Logic Cells	3,168	6,768	11,088	20,880	30,816
Max MGT Blocks	4	4	8	8	8
PPC Cores	0	1	1	2	2
BRAM (Kbits)	216	504	792	1,584	2,448
DCM Blocks	4	4	4	8	8
Multiplier	12	28	44	88	136
Device	2VP40	2VP50	2VP70	2VP100	2VP125
Logic Cells	43,632	53,136	74,448	99,126	125,136
Max MGT Blocks	12	16	20	20	24
PPC Cores	2	2	2	2	4
BRAM (Kbits)	3,456	4,176	5,904	7,992	10,008
DCM Blocks	8	8	8	12	12
Multiplier	192	232	328	444	556

2 Aufbau und Routing

2.1 Aufbau

Der Virtex II pro wird senkrecht durchzogen von Spalten, die BRAMS und Multiplizierer enthalten. Jeweils am Ende einer jeden Spalte und damit am oberen und unteren Rand des Bauteils sitzen die RocketIO MGTs und die DCMs. Schaltmatrizen bilden ein Raster über der Gesamtfläche und sind horizontal und vertikal miteinander über so genannte long-lines verbunden. In der Mitte sind die PPC Blöcke symmetrisch angeordnet. Den Rest der Fläche füllen die CLBs auf.



2.2 Routing

Zusätzlich zu den long-lines gibt es noch weitere Verbindungen zwischen den Schaltmatrizen, die jeweils die direkten Nachbarn, die nächsten zwei oder jede dritte Schaltmatrix miteinander verbinden.

24 Horizontal Long Lines 24 Vertical Long Lines	
120 Horizontal Hex Lines 120 Vertical Hex Lines	
40 Horizontal Double Lines 40 Vertical Double Lines	
16 Direct Connections (total in all four directions)	
8 Fast Connects	

3 Configurable Logic Block (CLB)

3.1 Einbettung der Begriffe

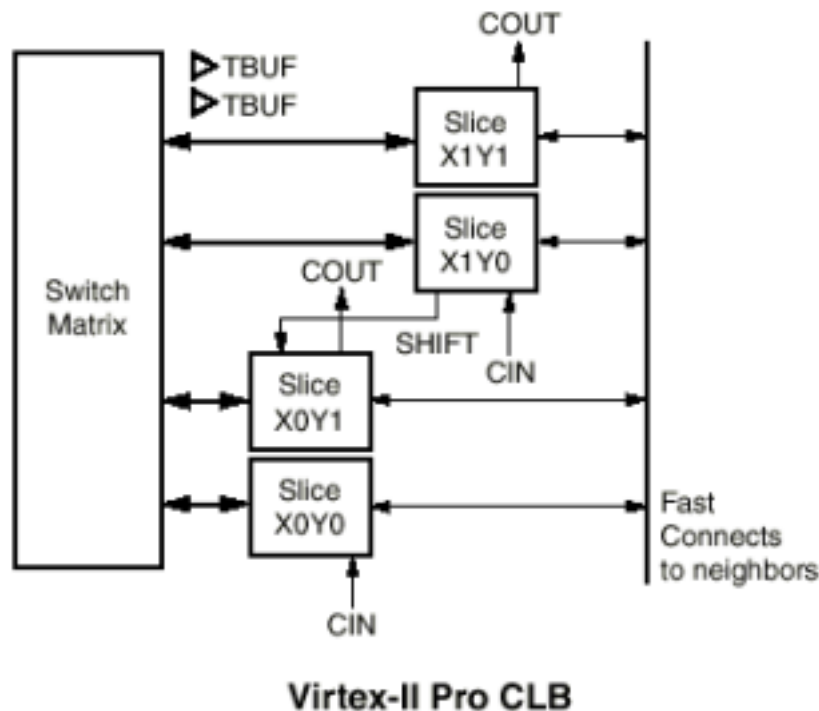
Die Grundbausteine der konfigurierbaren Logik Blöcke sind die Logikzellen. Eine Logikzelle besteht aus einem Funktionsgenerator, einer Carry-Logik und einem Speicherbaustein.

Der Funktionsgenerator hat vier Eingangssignale und kann als einfache Look-Up-Table, als 16-Bit Schieberegister, als sogenanntes distributed SelectRAM oder als ROM verwendet werden.

Der Speicherbaustein kann als flankengesteuertes D-Flip-Flop oder als Level-gesteuertes Latch konfiguriert werden. Sowohl synchrones als auch asynchrones Setzen und Zurücksetzen ist möglich.

Ein Slice besteht aus zwei Logikzellen, einer getakteten Write-Enable Logik für beide Funktionsgeneratoren, einem F5-Multiplexer und einem zwischen den Slices unterschiedlichem FX-Multiplexer.

Ein CLB besteht aus zwei 3-state Treibern und vier Slices, wobei immer zwei zusammen einen gemeinsamen Carry-Logik-Pfad bilden und alle vier über ihre Shift Leitungen aneinandergereiht sind. Jeder Slice ist über sogenannte fast-interconnects an eine Schaltmatrix angebunden, über die die einzelnen CLBs nahezu beliebig miteinander verschaltet werden können.



3.2 Funktionalität Funktionsgenerator

Look-Up-Table (LUT)

Die Wahrheitstabelle einer beliebigen 4-bittige boolsche Funktion

$$f : \{0, 1\}^4 \rightarrow \{0, 1\}$$

kann direkt in einer Look-Up-Table abgebildet werden. Das ist die eigentlich Funktionalität der Funktionsgeneratoren, da alle anderen Konfigurationen mittels spezieller LUTs implementiert werden.

distributed SelectRAM+

Jeder Funktionsgenerator kann als 16x1 Bit Speicher dienen. Der Schreibzugriff ist synchron und der Lesezugriff asynchron. Durch Verwendung des Flip-Flops des selben Slices kann der Lesezugriff synchronisiert werden, da beide Bausteine die selbe Taktleitung besitzen.

Durch Verwendung der Multiplexer kann die Speichertiefe auf bis zu 128x1 bit erhöht werden. Eine Verbreiterung der Datenworte kann einfach durch Hinzunehmen weiterer CLBs bei gleichen Adressleitungen realisiert werden.

Konfiguriert man einen distributed SelectRAM als dual-port, so steht einem ein Port für synchrones Lesen und asynchrones Schreiben, und ein davon unabhängiger, auf den gleichen Speicher zugreifender Port für asynchrones Lesen zur Verfügung.

ROM

Ähnlich zur RAM Konfiguration kann jeder Funktionsgenerator als ROM verwendet werden. Die Daten werden dann zur Konfigurationszeit geladen und stehen von da an für asynchrone Lesezugriffe zur Verfügung. Auch hier ist eine Kaskadierung zur Erhöhung sowohl der Tiefe als auch der Breite des Speichers möglich.

Schieberegister

Jeder Funktionsgenerator kann als 16-Bit Schieberegister fungieren. Schreibzugriffe erfolgen synchron mit einem optionalen Clock Enable Signal. Es kann entweder ein eigenes Datenbit oder der Shift-Out eines vorhergehenden Funktionsgenerators eingespeißt werden. So kann ein kompletter CLB ein 128-bit Schieberegister darstellen.

Durch Anlegen einer 4-Bit Adresse ist ein dynamisches asynchrones Lesen möglich. Das D-Flip-Flop kann wieder zur Synchronisation der Lesezugriffe verwendet werden.

3.3 Funktionalität CLB

Multiplexer

Wie oben erwähnt unterscheiden sich die einzelnen Slices in ihrem FX-Multiplexer. Genauer besitzen Slice 0 und 2 einen F6-Multiplexer, Slice 1 einen F7-Multiplexer und Slice 3 einen F8-Multiplexer.

Das Design sieht vor, dass ein F6-MUX zwei F5-MUX, ein F7-MUX zwei F6-MUX und ein F8-MUX zwei F7-MUX schaltet. So können bis zu 8 Slices aus zwei CLBs miteinander zu einem 32:1 Multiplexer verschalten werden. Die F5-MUX erhalten als Eingang die Ausgaben des Funktionsgenerators, der als LUT so konfiguriert ist, dass ein 2:1 Multiplexing gemacht werden kann. Folgende Konfigurationen sind damit also möglich:

- 4:1 Multiplexer mit einem Slice
- 8:1 Multiplexer mit zwei Slices
- 16:1 Multiplexer mit einem CLB
- 32:1 Multiplexer mit zwei CLB

Arithmetische Logik

Die LUTs können so konfiguriert werden dass sie eine 1 Bit Addition oder Subtraktion machen. Die spezielle Carry-Logik der Logikzellen erlaubt es nun eventuell auftretende Überlaufbits sequenziell durch die Stellen entlang dem oben beschriebenen Carry-Pfades zu schieben. Zu beachten ist hierbei allerdings, dass die benötigte Laufzeit der Operation mit der Anzahl der Stellen wächst. Konfiguriert man die LUTs als Und-Gatter, so kann über die selbe Logik eine beliebig große Und-Gatter realisieren. Spezielle Oder-Bausteine erlauben es, solche Gatter parallel zu schalten, und so als Ausgabe die Summe aus Produkten zu erhalten.

3-state Puffer

Jeder CLB ist mit zwei 3-state Puffer versehen. Diese verbinden die horizontal benachbarten CLBs über einen eigenen 3-state Bus, welcher sehr flexibel konfigurierbar ist. Dadurch existieren neben den Routingressourcen der Schaltmatrizen eigene, individuell anpassbare Busse zur schnellen Kopplung von CLBs.

4 Block SelectRAM+ und Multiplier Blocks

4.1 Einleitung

Virtex II Pro Devices besitzen eine große Anzahl von speziellen 18kB Speicherblöcken, die Block SelectRAM oder BRAM genannt werden. Im Gegensatz zum distributed SelectRAM der CLB, werden BRAM verwendet, wenn man viel und schnellen Speicher braucht. Jedem BRAM ist auch ein eigener 18x18 Bit Multiplizierer zugeteilt, so dass man darin z.B. geschickt die Koeffizienten einer DSP (Digital Signal Processing) verwalten kann. Sowohl Lese- als auch Schreibzugriffe sind vollständig synchron.

4.2 Parity

BRAMs bieten die Möglichkeit, pro 8 Bit ein Parity Bit mit abzuspeichern. Jedoch muss die Logik für die Parity Bits selbständig in den CLB implementiert werden. Lediglich einen breiteren Bus wird zur Verfügung gestellt. So ergeben sich folgende Konfigurationsmöglichkeiten:

- ohne Parity: 16Kx1bit, 8Kx2bit, 4Kx4bit = 16K
- mit Parity: 2Kx9bit, 1Kx18bit, 512x36bits = 18K

4.3 Dual-Port Konfiguration

Ein BRAM besitzt zwei voneinander unabhängige Port, die auf den selben Speicher zugreifen. Jeder Port besitzt eigene Clock, Clock Enable, Write Enable, Set, Reset, Adress und Datenleitungen. Sogar die Wortbreite der Daten kann sich unterscheiden. So kann mit in der Dual-Port Konfiguration z.B. sehr einfach einen Konverter für Busse mit verschiedene Wortbreiten und Frequenzen implementieren. In der Single-Port Konfiguration steht nur der erste Port zur Verfügung.

4.4 Schreibmodi

Das Verhalten des BRAMs bei einem Schreibzugriff kann folgendermaßen konfiguriert werden:

- WRITE FIRST
In diesem transparenten Modus erscheinen die zu schreibenden Daten unter Berücksichtigung einer kleinen Laufzeit sofort nach dem Schreiben am Ausgang des BRAMs.
- READ FIRST
In diesem Modus werden bei jedem Schreibvorgang die davor enthaltenen Daten auf den Ausgang gelegt.
- NO CHANGE
Der Ausgang des BRAMs wird in diesem Modus durch einen Schreibvorgang nicht verändert. Dafür sind dann getrennte Lesezugriffe nötig.

4.5 Multiplizierer

Zu jeder BRAM Zelle gibt es einen 18-bit zu 18-bit 2er Komplement Multiplizierer. Beide Komponenten teilen sich einige Datenleitungen in den Schaltmatrizen, die sie verbindet. Das bringt gewisse Einschränkungen mit sich, wenn man sie unabhängig voneinander verwenden möchte.

Im Gegensatz zu einer Implementation in einem CLB sind diese Multiplizierer auf ihre Operation hin optimiert und damit schneller und energiesparender.

5 Clocks und DCM

5.1 Einführung

Für den Betrieb der CLBs, BRAMs oder I/O Blocks kann man einen Virtex II Pro mit bis zu 16 Taktensignalen speisen. Diese Taktsignale kann man entweder direkt verwenden oder sie durch einen Digital Clock Manager (DCM) manipulieren. Außerdem kann man auch Signale auf den internen Interconnectleitungen als Taktsignal verwenden. Eine Treiberstufe speißt die ausgewählten Signale als sogenannte Global Clocks in das Verteilungsnetzwerk. Von dort aus wird jeder

Quadrant des Bausteins mit acht Taktsignalen versorgt, wobei jedes Signal bis zu 16 CLBs takten kann. Erzeugte und manipulierte Taktsignale können auch aus dem FPGA herausgeroutet werden, um externe Bausteine zu versorgen.

5.2 Die Treiberstufe

Nach jedem Clock Multiplexer gibt es eine Treiberstufe, welche das Taktsignal aufnimmt und dann ins Verteilernetzwerk speist. Für diesen Treiber gibt es drei Konfigurationsmöglichkeiten.

- BUFG Ein einfacher Treiber zur Signalverstärkung
- BUFCE Ein Treiber mit einem Clock Enable. Damit kan man gezielt einzelne Taktsignale unterbinden. Ein Abschalten schneidet das Taktsignal nicht ab, sonder blockt zukünftige steigende Flanken.
- BUFMUX Ein 2:1 Multiplexer, über den man zwischen zwei unabhängigen, zueinander asynchronen Taktsignalen umschalten kann. Beim Umschalten wird gewartet, bis das gerade aktive Signal auf Low liegt und danach das andere Signal von High auf Low wechselt.

5.3 Digital Clock Manager (DCM)

Der DCM ist eine vollständig digitalisierte Komponente, die Manipulationen an Taktsignalen erlaubt und dabei stabil auf Temperatur und Spannungsschwankungen reagiert.

Spezielle Schaltungen über den Feedback Eingang CLKFB des DCM bewirken, dass die Ausgangssignale unter Berücksichtigung einer erwünschten Phasenverschiebung exakt taktsynchron zum Eingangssignal CLKIN sind. Diese Verfahren wird de-skewing genannt.

Die oben erwähnte sogenannte feine Phasenverschiebung betrifft, falls sie aktiviert ist, alle Ausgangssignale. Die Zeitverzögerung zwischen den steigenden Flanken von CLKIN und CLKFB entspricht dann einem konfigurierbarem Vielfachen der Signalperiode des Eingangssignals.

Folgende Tabelle zeigt alle Ausgangssignale eines DCM und ihre Phasenverschiebung und Frequenz bezogen auf das Eingangssignal:

Signal	Phase	Frequenz
CLK0	0	1
CLK90	90	1
CLK180	180	1
CLK270	270	1
CLK2X	0	2
CLK2X180	180	2
CLKDV	0	$\{\frac{1}{2}, \frac{1}{3}, \dots, \frac{1}{16}\}$ oder $\frac{1}{n+0,5}$ $n = 1, 2, \dots, 7$
CLKFX	0	$\frac{M}{D}$ M,D frei konfigurierbar
CLKFX180	180	$\frac{M}{D}$ M,D frei konfigurierbar

Für hohe Frequenzen steht ein eigener high-frequency Mode zur Verfügung, in dem allerdings die Signale CLK90, CLK270, CLK2X, CLK2X180 nicht erzeugt werden.

Alle Signale haben einen Duty-Cycle von 50/50. Nur im high-frequency Mode kann das CLKDV Signal andere Duty-Cycles ermöglichen. So erhält man bei einer Frequenzteilung um den Faktor $n + 0,5$ einen Duty-Cycle von $n/2n + 1$.

6 Select I/O

6.1 SelectIO-Ultra

Jeder IO-Block des Virtex-II Pro nutzt die SelectI/O-Ultra Technologie. D. h. jeder Pin, ausgenommen die für Rocket I/O dedizierten, ist individuell für eine Vielzahl von Standards mit unterschiedlichen Eigenschaften wie z. B. Spannungsniveaus programmierbar (select). Diese reichen von 1.2 bis 3.3 Volt, je nach Standard. Der populäre PCI-Bus, wie man ihn z. B. im Intel-PC findet, hat Signalspannungen von 3.3 Volt.

6.2 Konfiguration

Während der Konfiguration sind alle I/O-Pins hochohmig. Unbenutzte Pins können ignoriert werden. Die Konfigurationssoftware bietet die Möglichkeit, alle unbenutzten Pins fest auf high oder low zu schalten.

Die IOBs können im Single Data Rate (SDR) oder auch im Double Data Rate (DDR) Mode laufen, in dem Daten bei steigender und fallender Taktflanke übertragen werden. Jeder IOB hat dazu eine DDR-Logik mit zwei Flip-Flops jeweils für Input und Output.

7 RocketIO

7.1 Einleitung

Die MGTs basieren auf der SkyRail-Technologie von Mindspeed Technologies (Conexant). Jeder MGT beinhaltet die Funktionalität eines Full Duplex SerDes (serializer/deserializer). Die RocketIO Multi Gigabit Transceivers (MGTs) stellen eine schnelle serielle Schnittstelle dar, von denen der Virtex-II Pro je nach Modell zwischen 0 und 24 Stück besitzt.

7.2 Eigenschaften

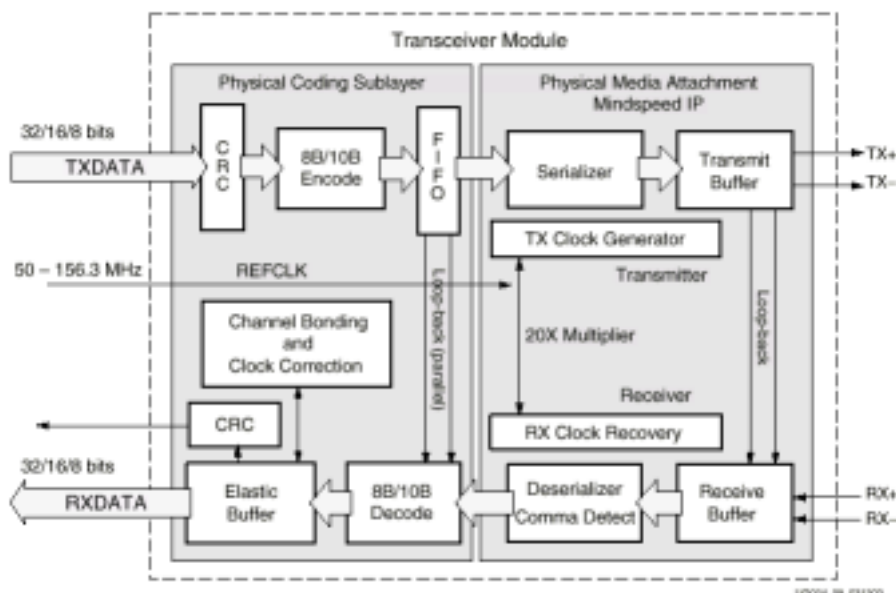
Jeder MGT taktet mit dem Zwanzigfachen des Referenztakts und erreicht eine maximale Übertragungsrate von 3,125GBit/s. Die Ausgänge sind dafür ausgelegt, dass die Signale noch ca. 20 Zoll auf der Leiterplatte zurücklegen können. Um verschiedene Kabel- oder Leitungslängen zu unterstützen, bietet jeder RocketIO-Block einen vierstufigen Verstärker, um eine bessere Signalintegrität hinzubekommen. Die RocketIO-Blöcke des Virtex können mit SerDes-Komponenten anderer bekannter Hersteller wie Mindspeed, Vitesse oder TI interoperieren. Mehrere RocketIO-Blöcke können über Kanalbündelung zu einem Datenkanal von bis zu 60GBit/s zusammengefasst werden (24 Kanäle). Hierbei fungiert ein Kanal als Master, zu dem die restlichen Kanäle synchronisiert werden. Beim Virtex-II Pro werden z. B. vier Kanäle verwendet, um die 10Gbit/s Standards

zu implementieren.

7.3 Anwendung

MGTs eignen sich für Chip-zu-Chip-Verbindungen oder als Schnittstelle zu einem optischen Transponder. Um einen SerDes anzubinden sind normalerweise mehr als 100 Pins notwendig. Die Integration des SerDes spart also einige Pins und zusätzliche Bausteine ein.

Die RocketIO Schnittstelle ist kompatibel zu einer Vielzahl von Industriestandards wie z. B. InfiniBand, Gigabit Ethernet, Serial ATA oder PCI Express. Bei letzteren beiden handelt es sich um in Standard-PCs verwendete Schnittstellen, die ihre parallelen Vorgänger abgelöst haben oder gerade dabei sind sie zu verdrängen. Die Entwicklung geht also eindeutig von parallelen zu seriellen Schnittstellen. Ein Grund dafür ist dass bei zunehmender Geschwindigkeit die Signallaufzeiten in den einzelnen parallelen Leitungen nur schwer in den Griff zu bekommen sind.



7.4 Konfiguration

Jeder RocketIO-Block kann mit einer anderen Taktrate laufen. Bei der Maximalrate von 3,125Gbit/s nimmt ein Block 350mW auf. Unbenutzte Blöcke werden abgeschaltet, um Strom zu sparen. Die 3,125Gbit/s beziehen sich auf die Baudrate, die den 8B/10B Overhead mit einschliesst.

Bei 8B/10B handelt es sich um ein von IBM patentiertes Kodierverfahren, bei dem 8 Datenbits zur seriellen Übertragung in 10 Bit lange Symbole umgewandelt werden. Die Umkodierung verwendet ein Verfahren, das sicherstellt, daß die 10 Bit langen Symbole weitgehend gleichspannungsfrei und genügend Taktinformationen im Datenstrom enthalten sind, die eine Synchronisation von Sender und Empfänger ermöglichen. Dazu muss eine Codegruppe mindestens vier Pe-

gelwechsel aufweisen. Auf diese Art wird sichergestellt, dass die Lauf­längen von Nullen und Einsen auf der Leitung eingeschränkt sind. Letz­endlich kann die Taktinformation aus dem Datenstrom gewonnen werden und es wird keine separate Taktleitung benötigt. Nach der Codierung bleiben 2,5 GBit/s für reine Nutzdaten übrig. Es existiert bereits eine Weiterentwicklung namens 64B/66B, bei der nur noch 3 Prozent der Bandbreite verschwendet werden. Optional lassen sich 8B/10B und die eingebauten FIFOs abschalten.

8 Xcite DCI

8.1 Einleitung

Signale mit schnellen Flanken benötigen eine Terminierung, um Reflektionen zu verhindern und die Signalintegrität zu gewährleisten. Mit der XCITE DCI können Impedanzen an den I/O-Pins konfiguriert werden. Dadurch lassen sich externe Bauelemente einsparen und die Signalintegrität wird erhöht. Die Übertragungsrate bleibt somit konstant.

8.2 Funktionsweise und Konfiguration

Über zwei Mehrzweck-Pins werden zunächst zwei Referenzwiderstände nach Plus und Minus angeschlossen. Die Anpassung des Abschlusswiderstands erfolgt in zwei Schritten. Während des Startens des Chips wird die Impedanz an die Referenz angepasst. Dies geschieht über hinzuschalten oder entfernen von Widerständen innerhalb der IOBs. In einer zweiten Phase, die gleich nach der ersten beginnt, wird die Impedanz in Reaktion auf Schwankungen von Temperatur und Versorgungsspannung angepasst. Diese ständige Anpassung hört nicht mehr auf, selbst während dem Betrieb des IOB. Die zweite Phase kann aber auch ganz weggelassen werden. Dieses Feature, bei dem einfach das Feature der dynamischen Impedanzanpassung weggelassen wird, nennt sich FreezeDCI.

9 PPC

9.1 Softcore

MicroBlaze

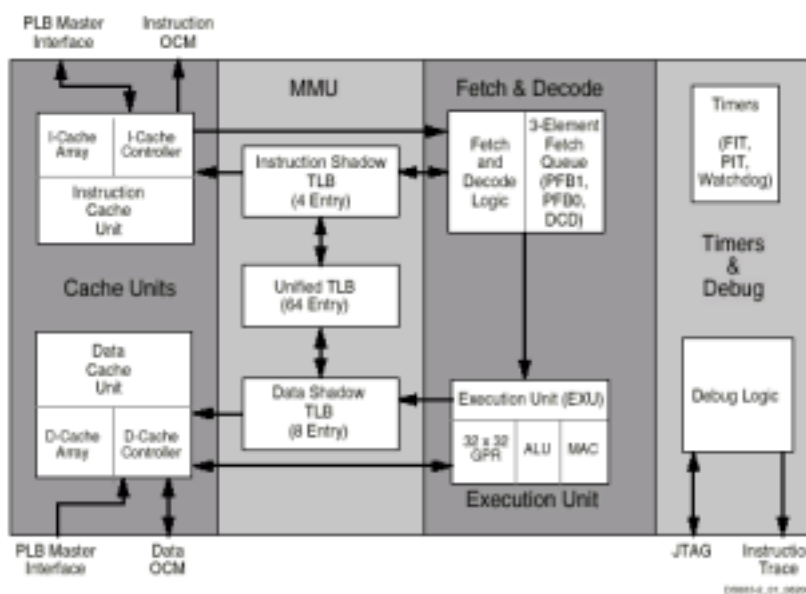
Unter Softcore Prozessoren versteht man die Implementierung eines Prozessors in den Logikzellen eines FPGA. Die von Xilinx propagierte Lösung nennt sich MicroBlaze und kommt in ca. 1000 Logikzellen unter. Der MicroBlaze ist ein 32-bit RISC Prozessor nach der Harvard-Architektur und kann entweder auf das On-Chip BlockRAM oder auf externen Speicher zugreifen. Die Softwareentwicklung kann mit den weit verbreiteten GNU tools erfolgen. Peripheriegeräte, die z. B. den Speicherkontroller und Interruptkontroller umfassen laufen über den On-Chip Peripheral Bus. In Zusammenarbeit mit der in Hardware - Multiplizierern und Dividierern kann eine höhere Leistung erzielt werden.

PicoBlaze

Der MicroBlaze hat noch einen kleinen Bruder namens PicoBlaze, der einstmals als constant (K) Coded Programmable State Machine (KCPSM) bekannt war. Der PicoBlaze ist ein 8-bit Prozessor, der 8 bis 32 Allzweck-Register, 256 I/O-Ports einen Reset und maskierbare Interrupts besitzt.

9.2 Embedded PowerPC

Im Zuge einer Partnerschaft mit IBM hat Xilinx den PowerPC 405 lizenziert. Der populäre IBM Kern wurde vom 0.18µm auf den 0.13µm Prozess portiert, um ihn in der Virtex II Pro Familie zu integrieren.



Der PowerPC ist ein 32-bit RISC-Prozessor nach der Harvard-Architektur, welche eine strikte Trennung zwischen Code und Daten vorsieht. Laut Xilinx wurde die PowerPC-Architektur wegen ihrer weiten Verbreitung in leistungsorientierten Anwendungen und der umfassenden Verfügbarkeit von Entwicklungstools von Drittanbietern gewählt.

Durch den Einsatz von PowerPC Prozessoren wird der programmierbaren Logik die Welt zu programmierbaren Systemen eröffnet. Viele komplexe Anwendungen umfassen sowohl geschwindigkeitsintensive Verarbeitung von Rohdaten als auch kontrollintensive Systemverwaltung. Durch eine ASIC-ähnliche Integration der Prozessor-Kern(e) erreicht man gegenüber extern angebundenen Prozessoren eine höhere Bandbreite zwischen Prozessor und FPGA.

Der PPC 405 beinhaltet keine Gleitkommaeinheit (FPU). Gleitkommaoperationen müssen in Software oder FPGA-Logik implementiert werden.

9.3 Performance

Die Embedded PowerPC arbeiten mit einer Taktfrequenz von mindestens 300MHz, die 420 Dhrystone MIPS (DMIPS) liefern. Die Taktfrequenz kann dynamisch angepasst werden, um die Leistungsaufnahme zu senken. Im Vergleich bietet ein

MicroBlaze Softcore 125 DMIPS. Ein Dhrystone MIP entspricht der Leistung einer VAX 11/780, ein Computersystem von DEC, welche 1757 Dhrystones liefert. Wie jeder Benchmark ist auch dieser mit Vorsicht zu geniessen, da er von Compilern stark optimiert werden kann. Die Leistungsdaten für MicroBlaze und PowerPC sind beide der Xilinx- Homepage entnommen. Ein Embedded PowerPC liefert also ca. 3,4x so viel Integer-Performance wie ein MicroBlaze Softcore. Die Virtex-II Pro Familie umfasst Bausteine mit 0, 1, 2, und 4 Embedded PowerPC, die zum Multiprocessing verwendet werden können, wenn sich die jeweilige Aufgabe parallelisieren lässt.

9.4 Speicheranbindung

Zum Anbinden von Speicher bietet IBM die CoreConnect Bus-Architektur. Diese bietet einen Processor Local Bus (PLB) und einen On-Chip Peripheral Bus (OPB). Der CoreConnect ist als Soft-Bus implementiert, d. h. in FPGA-Logik. Speicher mit hohem Durchsatz (SDRAM) wird über den PLB angebunden. Weniger speicherintensive Anwendungen können über den OPB die BlockRAMs verwenden, die eine fixe Latenzzeit haben. Wenn ausreichend BlockRAM für die Anwendung verfügbar ist kann man sich die Anbindung eines externen Memory Controllers sparen.

9.5 Anwendungen

Viele Leistungsintensive Anwendungen haben eine logikorientierte Architektur, die Coprozessoren zur Realisierung von komplexen Zustandsmaschinen oder zur Ausnahmebehandlung verwenden. Ein Prozessorkern benötigt nur ca. 2 Prozent vom Die eines XC2VP50. Mit einem Prozessor lassen sich komplexere Zustandsmaschinen mit wesentlichen Einsparungen bei der verwendeten Fläche auf dem Chip realisieren. Die Prozessor-Kerne können aber auch dazu verwendet werden, um als veränderbare Coprozessoren für externe Prozessoren wie den IBM PowerPC 750 oder den Motorola G4 zu dienen. Die FPGA-Logik wird dann verwendet, um die jeweilige Bus-Schnittstelle zu implementieren.

10 Zusammenfassung

10.1 Zusammenfassung

Der Virtex-II Pro ist nicht nur ein reiner FPGA mit programmierbaren Logikelementen und EA-Blöcken, sondern integriert zusätzlich Prozessoren, schnelle serielle Schnittstellen und weitere vormals extern implementierte Dinge wie DCI, die ihn zu einem kleinen Computer machen, der nicht mehr viele externe Bauteile benötigt. Ausserdem lässt dich der FPGA über sog. IP Cores um weitere Funktionen erweitern. Xilinx verspricht die weitere Verwendbarkeit von diesen IP Cores in folgenden Virtex-Generationen. Für den Vorgänger Virtex-E geschriebene IPs mussten für den Virtex-II neu übersetzt werden. Auf dieser Grundlage bildet sich ein wachsender Markt von IP Cores von Drittanbietern. Deswegen nennt Xilinx den Virtex-II Pro zu Recht einen Platform FPGA.