

IP-Cores

Proseminar 2003



Kai Poguntke

Inhalt

- 1.) Einleitung
- 2.) Vorteile von IP-Cores
- 3.) Was für IP-Cores gibt es?
- 4.) Weiche und harte IPs
- 5.) Qualität und Anbieter von IP-Cores
- 6.) Schaltungsentwicklung mit IP-Cores
- 7.) Was kostet ein IP-Core
- 8.) Größe einiger IP-Cores
- 9.) Einfaches Beispiel: Bit Multiplexer von Xilinx
- 10.) Opencores.org
- 11.) (Relativ) aktuelle IP-Cores
- 12.) Quellenangabe

1.) Einleitung

Als die Entwicklung im FPGA-Sektor vor ca. 5-10 Jahren immer weiter voranschritt und die Bausteine und Schaltungen immer komplexer wurden, musste beim Schaltungsentwurf auf einer höheren Abstraktionsebene gearbeitet werden. Auf dieser werden Entwurfsblöcke zu einem System on a Chip (SoC) zusammengefügt. Diese Entwurfsblöcke (engl. Building Blocks) sind IP-Cores. (IP heisst Intellectual Property oder geistiges Eigentum). Ein IP-Core ist also eine vorgefertigte, mehrfach verwendbare Funktionseinheit, die als Makro in das Design eingebunden werden kann.

2.) Vorteile von IP-Cores

Die Verwendung von IP-Cores beim Schaltungsentwurf hat vielfältige Vorteile. So spart der Entwickler viel Zeit und Arbeit, da große Teile seines Entwurfes bereits fertig spezifiziert und getestet sind. Damit wird natürlich auch die Produktivität im Entwicklungsprozess erhöht. Ein weiterer Vorteil ist die Wiederverwendbarkeit von Modulen. So können nicht nur IP-Cores von Fremdanbietern einfach in Systeme eingebunden werden, sondern auch eigene Teilentwürfe können mehrfach in verschiedenen Systemen eingesetzt werden (Design-Re-Use).

3.) Was für IP-Cores gibt es?

IP-Cores sind natürlich meistens oft verwendete, große und komplexe Funktionseinheiten. Angeboten werden Standard-Bus-Schnittstellen, DSP(Digital-Signal-Processing)-Funktionen sowie Telekommunikations- und Multimedia-Anwendungen. Sogar ganze Mikroprozessoren werden als IP-Core angeboten. Für einfachere Funktionen bieten die FPGA-Hersteller Makrogeneratoren an, wie z.B. COREGenerator von Xilinx. Damit lassen sich Funktionen wie Addierer, Multiplizierer u.ä. variabel erstellen.

Bauteilgruppe	Angebotene IP-Cores (Auswahl)
Bus-Schnittstellen	PCI, AGP, USB, Firewire, CAN, ISA, I2C
DSP	Arithmetik, DFT, FFT, FIR-Filter
Telekommunikation und Multimedia	MP3, MPEG, JPEG, Spracherkennung, DSL-Modems, UMTS, Ethernet, Bluetooth

4.) Weiche und harte IPs

Grundsätzlich unterscheidet man bei der Implementierung zwischen Hard-IPs und Soft-IPs. Erstere sind durch fest vorgegebenes Layout, Timing und fixe Schnittstellen charakterisiert; außerdem sind sie in Bezug auf Geschwindigkeit, Siliziumfläche und Leistungsaufnahme optimiert. Sie sind einerseits leicht zu verifizieren, andererseits halbleiterhersteller- und technologieabhängig, unflexibel und oft problematisch beim Produktionstest.

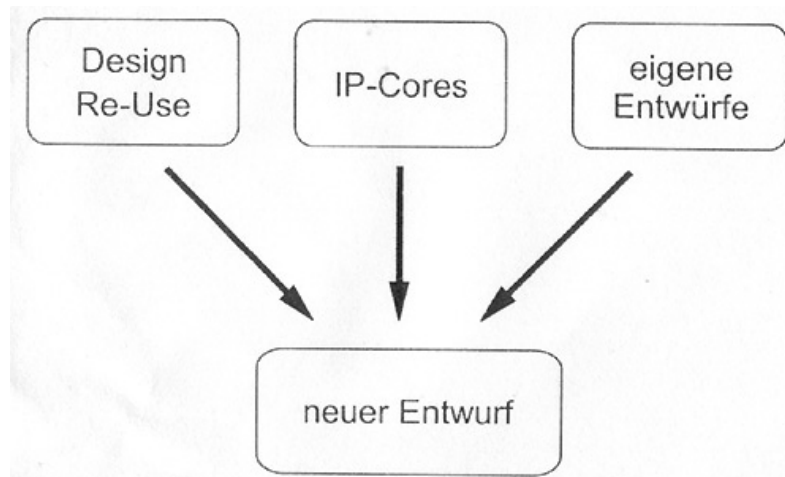
Soft-Cores indes basieren auf einer synthetisierbaren Beschreibung, ausgehend von einer Hardware-Beschreibungssprache wie Verilog oder VHDL; sie sind vorkompiliert oder als Source-Code verfügbar und zudem auch halbleiterhersteller- und technologieunabhängig konzipiert. Einerseits sind sie flexibel und zum Teil parametrisierbar, andererseits benötigen sie mehrere Iterationen bei der Designoptimierung (Floorplanning, Logiksynthese, Place& Route) und höheren Verifikationsaufwand – besonders bei Änderungen des Source-Codes.

5.) Qualität und Anbieter von IP-Cores

Damit IP-Cores Schaltungsentwürfe wirklich vereinfachen und beschleunigen können, müssen sie einen hohen Qualitätsstandard erfüllen, d.h. sie müssen ein vorhersehbares Verhalten liefern, gut dokumentiert sein, und es muss eine geeignete Anwenderunterstützung existieren. Um den Kunden eine Auswahl von geeigneten IP-Cores anbieten zu können, entwickeln die FPGA-Hersteller selbst Cores (Xilinx: LogiCORE), oder sie schliessen Verträge mit Drittfirmen und bieten deren Produkte an (Xilinx: AllianceCORE). Diese IP-Cores sind meistens harte IPs. Sie sind oft auf ein FPGA oder eine FPGA-Baureihe beschränkt. Das hat den Vorteil, dass der Core perfekt auf den jeweiligen FPGA-Typ abgestimmt ist und alle seine Vorteile nutzen kann. Das macht den Core schneller und Platz sparender. Der Nachteil ist, dass der Core meistens weder auf- noch abwärtskompatibel ist. So muss für ein neues FPGA auch oft ein neuer Core gekauft werden.

6.) Schaltungsentwicklung mit IP-Cores

Die Aufgabe des Entwicklers ist heutzutage nicht mehr, jede Schaltungsfunktion selber zu entwickeln, sondern sie besteht zum großen Teil darin, vorhandene Funktionsblöcke mit einem EDA-Werkzeug (Electronic Design Aid) zu einer Gesamtschaltung zu verbinden. Diese schon vorhandenen Einheiten können IP-Cores oder auch bereits fertige eigene Entwürfe sein (Design Re-Use). Diese werden mit eigenen Entwürfen kombiniert und vom Entwickler zu einer sinnvollen Gesamtschaltung verbunden. Die Tätigkeit des Entwicklers verändert sich also dahin, dass er in Zukunft immer weniger Funktionen selber implementieren muss, sondern vielmehr „nur noch“ vorgefertigte Bausteine auswählt und zu einem Ganzen zusammenfügt. Im Jahre 2002 wurden bei der Entwicklung eines Systems auf einem Chip (SoC) bereits ca. 50% der Funktionen durch IP-Cores implementiert, 2005 werden es Schätzungen zufolge ca. 80% sein. Das zeigt, dass IP-Cores in Zukunft noch an Gewicht gewinnen werden, da die FPGAs immer größer und die Schaltungen immer komplexer werden.



7.) Was kostet ein IP-Core

Name	Beschreibung	Preis
PCI32	PCI-Bus	\$ 4,995
Reed-Solomon Encoder	kodiert zu sendende Bitblöcke	\$ 500
Reed-Solomon Decoder	dekodiert empfangene und evtl. fehlerhafte Bitblöcke	\$ 5,000
RapidIO Interface	Regelt den Datenverkehr über RapidIO	\$ 19,995

Der Reed-Solomon Encoder ist der günstigste IP, der bei Xilinx angeboten wird. Der teuerste ist das RapidIO Interface.

Die meisten IPs sind bei Xilinx in den CORE Generator eingebunden (ISE 5). Diese IPs kann man nicht extra kaufen, deshalb kann man auf der Homepage von Xilinx auch keine Preisinformationen erhalten. Sie sind im Lieferumfang von ISE enthalten und Updates können kostenlos heruntergeladen werden (wenn man ISE hat).

8.) Größe einiger IP-Cores

Auf den Datenblättern der Xilinx-IP-Cores gibt es keine einheitliche Maßeinheit für die Größe eines IPs. Meistens wird die benötigte Anzahl von Slices oder Logic Cells angegeben.

PCI32 Resource Utilization

Art der Bauteile	Anzahl	In % bei Virtex II P2	In % bei Virtex II P125
Slices	566	40,20	1,02
IOBs	50	24,51	4,17

MicroBlaze™ RISC 32-Bit Soft Processor

Virtex II Pro

Art der Bauteile	Anzahl	In % bei Virtex II P2	In % bei Virtex II P125
LogicCells	900	28,41	0,72

Spartan-II

Art der Bauteile	Anzahl	In % bei SpartanS15	In % bei SpartanS200
LogicCells	1050	243,06	19,84

Multiply Accumulator v3.0

Multipller Size 16x16

Art der Bauteile	Anzahl	In % bei Virtex II P2	In % bei Virtex II P125
Slices	77	5,47	0,14

Multipller Size 18x18

Art der Bauteile	Anzahl	In % bei Virtex II P2	In % bei Virtex II P125
Slices	90	6,39	0,16

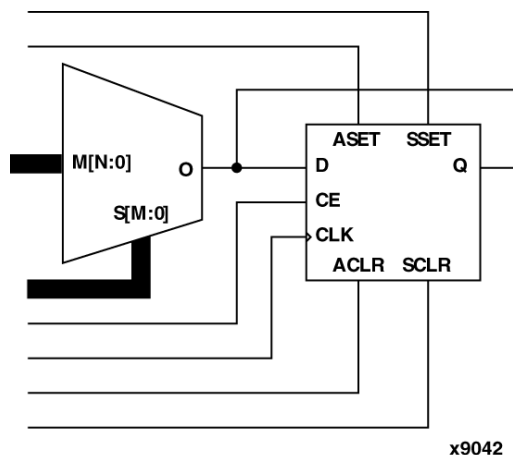
10/100Mbps Ethernet

Art der Bauteile	Anzahl	In % bei Virtex II P2	In % bei Virtex II P125
Slices	1035	73,51	1,86

9.) Einfaches Beispiel: Bit Multiplexer von Xilinx

- Drop-in Modul für Virtex, Virtex-E, Virtex-II, Virtex-II Pro, Spartan-II, SpartanIIE and Spartan-3 FPGAs
- Bis zu 256:1 Multiplexing Bereich (konfigurierbar mit dem CORE Generator)
- Für ISE v5.1i und den Xilinx CORE Generator

- Blockschaltbild:



Erklärung der Signale

Name	Art des Signals	Beschreibung
M[N:0]	Eingang	Eingänge des Multiplexers
S[M:0]	Eingang	Steuerleitungen Selektieren den Eingang $M=(\log_2 n)$ (aufgerundet)
O	Ausgang	Ausgang des Multiplexers (ungepuffert)
D	Internes Signal	Verbindung zum optionalen Register am Ausgang
CE	Eingang	Clock Enable
CLK	Eingang	Clock (steigende Flanke)
ASET	Eingang	Setzt den gepufferten Ausgang auf 1, sobald betätigt
ACLR	Eingang	Setzt den gepufferten Ausgang auf 0, sobald betätigt
SSET	Eingang	Setzt den gepufferten Ausgang bei der nächsten Taktflanke auf 1
SCLR	Eingang	Setzt den gepufferten Ausgang bei der nächsten Taktflanke auf 0
Q	Ausgang	Gepufferter Ausgang des Multiplexers

10.) Opencores.org

Eine Open-Source-Bewegung für IP-Cores. Sie wollen eine kostenlose Alternative zu den IP-Cores der Hersteller bieten. Es werden viele IP-Cores als VHDL oder Verilog-Datei angeboten. Entwickler können dort ihre eigenen Cores zur Verfügung stellen oder an Projekten mitarbeiten.

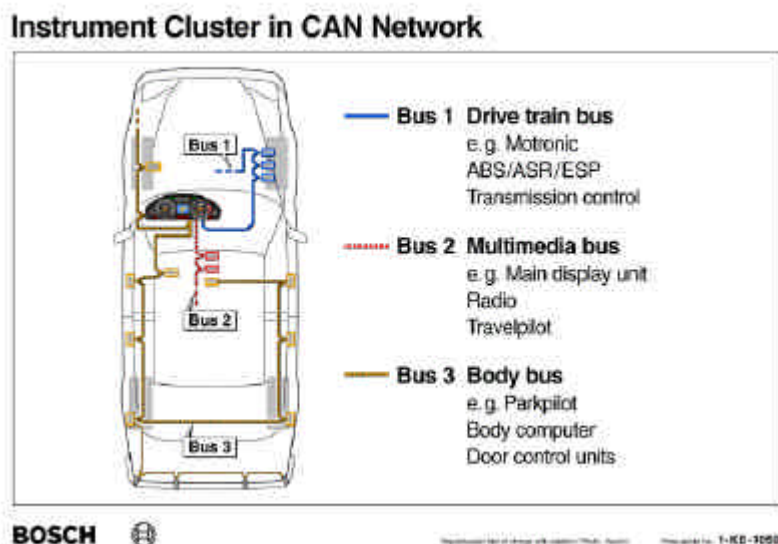
Einige Beispiele von Opencore-Projekten:

- Spracherkennungssystem VoxIC
- Firewire (IEEE 1394)
- IrDA
- USB 2.0
- Core Unit 16-bit Prozessor
- RAM-Controller
- PAL NTSC Digital Video Decoder

11.) (Relativ) aktuelle IP-Cores

CAN Protocol Controller

Controller Area Network oder CAN ist ein Netzwerkprotokoll von Bosch, das sich in der Automobilindustrie im Moment stark ausbreitet.



MPEG-4 Echtzeitübertragung über Bluetooth

Sci-worx, ein Anbieter von Systemlösungen für mobile Kommunikationsanwendungen und NewLogic, ein Anbieter von Wireless IP-Cores, demonstrieren live MPEG-4 Video Streaming über Bluetooth.

Der gemeinsam entwickelte Demonstrator zeigt sci-worx' MPEG-4 Echtzeit Video-Encoding- und Decoding-Lösung sciSTREAM unter Nutzung von NewLogic's BOOST Bluetooth IP für die drahtlose Übertragung des im MPEG-4 Format encodierten Video Datenstroms zwischen dem Encoder und dem Decoder. Die Streaminglösung ermöglicht die Echtzeitübertragung von QCIF (176 x 144 Bildpunkte) mit einer Bildwiederholrate von 15 Bildern/Sekunde mit herausragender Bildqualität. Die von beiden Firmen angebotene Intellectual Property Core

Technologie erleichtert Systementwicklern die Integration von Multimediafähigkeit mit drahtloser Übertragungsfunktionalität.

Die neuesten Entwicklungen (Updates) von Xilinx

Memories & Storage Elements

- Asynchronous FIFO (v5.1)
- Synchronous FIFO (v4.0)

Digital Signal Processing

- Distributed Arithmetic FIR Filter (v8.0)
- Direct Digital Synthesizer (DDS) (v4.2)
- Fast Fourier Transform (v2.0)
- LFSR (v3.0)
- MAC FIR (v3.0)

Communications & Networking

- 8b/10b Encoder (v4.0)
- 8b/10b Decoder (v5.0)

Math Functions

- Sine/Cosine Look Up Table (v4.2)

12.) Quellenangabe

- Xilinx Homepage
- Das FPGA Kochbuch
- opencores.org