

Aktuelle Anwendungen von FPGAs

Proseminar SS03

Dong xuelu

1. Einführung

- 1.1 Anwendung als Prototyp
- 1.2 Anwendung mit charakteristischem und meist kurzem Produktlebenszyklus
- 1.3 Anwendung mit geringen Stückzahlen

2. Aktuelle Anwendungen

- 2.1 Eigenschaften der FPGAs und ihre daraus resultierenden Einsatzmöglichkeiten
- 2.2 Die Realisierung von anwendungsspezifischer Hardware
- 2.3 Anwendung von FPGAs mit Antifuse-Technologie

3. Anwendungsbeispiele

- 3.1 DSL Modem
- 3.2 Design MP3-Players mit Spartan II FPGAs

4. Literatur

1. Einführung

Programmierbare Logikbauelemente weisen seit Jahren ein fulminantes Wachstum auf. In diesem Beitrag wird zuerst untersucht, in welchen Anwendungen programmierbare Logikbauelemente Einsatz finden und unter welchen Voraussetzungen ihr Einsatz für den Systementwickler vorteilhaft erscheint.

1.1 Anwendung als Prototypen

Wenn komplexe Schaltungen erstellt werden, kann in vielen Fällen eine Simulation nicht mehr sehr effizient durchgeführt werden. Dies kann dazu führen, dass die Schaltungen nicht mehr in einem vernünftigen Zeitaufwand auf einer niedrigen Abstraktionsebene simuliert werden können. Für manche Systeme ist aber auch der Einsatz im Echtzeitsystem notwendig, um eine funktionale Verifikation durchzuführen. Dabei werden zur Verifikation Prototypen eingesetzt. Um hier aber sowohl die Kosten als auch den für die Produktion benötigten Zeitaufwand so gering wie möglich zu halten, werden in zunehmendem Maße die Schaltungen mit Hilfe von programmierbaren Logikbauelementen emuliert.

1.2 Anwendungen mit charakteristischem und meist kurzem Produktlebenszyklus

Im Zuge der zunehmenden Dynamik der Produktentwicklungen sind zwei voneinander abhängige Aspekte zu beobachten. Die erreichbaren Produktlebenszyklen verkürzen sich in erheblichem Maße. Dies führt zu einer sehr viel größeren Bedeutung des Markteintrittszeitpunkts. Während bei moderaten Produktlebensdauern auch die Produkte, die später auf den Markt kommen, noch eine reelle Chance haben, einen rentablen Marktanteil zu erobern, ist dies bei vielen schnelllebigen Produkten nicht mehr möglich. Verschiedene Studien indizieren, dass der Markteintrittszeitpunkt einen größeren Einfluß auf den erzielbaren Überschuss aufweist als signifikant zu hohe Entwicklungs- oder Produktionskosten. Die beschriebene Verkürzung der Produktlebenszyklen macht sich insbesondere bei Konsumer-Artikeln bemerkbar.

1.4 Anwendung mit geringen Stückzahlen

Zahlreiche Anwendungen in verschiedenen Nischenmärkten erreichen auch bei einer insgesamt durchaus beträchtlichen Produktlebensdauer nur vergleichsweise geringe Stückzahlen. Diese Märkte können für Lieferanten FPGAs attraktiv sein, da oft außerordentlich große Renditen erzielt werden bzw. über die gesamte Laufzeit doch signifikante Stückzahlen erreicht werden. Der vielleicht bekannteste Markt mit einer solchen Charakteristik, der in den frühen Jahren der

Einführung mikroelektronischer Systeme viele Entwicklungen maßgeblich beeinflusst hat, liegt in der militärischen Anwendung. Darüber hinaus ist aber auch die Industrie- und Automatisierungstechnik im europäischen und insbesondere im deutschen Markt von außerordentlich großer Bedeutung.

2. Aktuelle Anwendungen

2.1 Eigenschaften der FPGAs und ihre daraus resultierenden Einsatzmöglichkeiten

- **Rechenleistung:** Heutige FPGAs erreichen ASIC-ähnliche Rechenleistungen für datenpfad-orientierte Anwendungen und übertreffen somit auch die schnellsten DSPs.
- **Flexibilität:** Im Gegensatz zu ASICs sind FPGAs rekonfigurierbar. Durch partielle Rekonfiguration können auch nur gewisse Teile der FPGA Konfiguration geändert werden.
- **Multifunktionalität:** Ein FPGA kann eine Vielzahl von Anwendungen ausführen. Es existieren verschiedene Komponenten (IP-Cores) für FPGAs, sowohl freie Designs als auch kommerzielle Produkte, welche in das eigene Design integriert werden können. Die Auswahl umfasst unter anderem diverse Arithmetik-Kernel, Digitale Filter, En-/Decoder, verschiedene Kommunikations-Interfaces, Krypto-Cores, sowie komplexe CPUs.
- **Parallelität:** Ein FPGA kann Teile von Algorithmen oder ganze Anwendungen parallel zueinander ausführen.

Durch die Summe ihrer Eigenschaften findet die Programmierbare Logik in nahezu allen Bereichen der Industrie Anwendung wie z.B.: Automatisierung, Automobilbereich, Bildverarbeitung, Luft- und Raumfahrt, Maschinenbau, Medizintechnik, Militärtechnik, Nachrichtentechnik.

2.2 Die Realisierung von anwendungsspezifischer Hardware

Die programmierbare Logik eignet sich vor allem zum Aufbau von Daten-, Kommunikations- und DSP-Applikationen. Im Vergleich zu den herkömmlichen DSP-Prozessoren können mit FPGAs bedeutend einfachere Echtzeitsysteme

aufgebaut werden. Dazu gehören besonders Anwendungen aus dem Bereich Kryptographie und Multimedia, wie Audio-, Video- und Bildverarbeitung. Vor einigen Jahren hat Xilinx seine Spartan FPGA-Familie entwickelt, deren Mitglieder auf Low-Cost, High-Volume Applikationen optimiert sind. Der Erfolg dieser FPGA Familie reicht von MP3-Player über CD-Recorder, Digitalkameras, bis zu zahlreichen Konsumer-Elektronik-Produkten.

2.3 Anwendung von FPGAs mit Antifuse-Technologie

Programmierbare Elemente werden derzeit mit SRAM, Antifuse und FLASH Technologie realisiert. Jedes dieser Elemente benötigt pro programmierbarem Switch eine bestimmte Fläche auf dem Silizium des Bausteins, wobei die SRAM-Technologie den größten und die Antifuse-Technik den geringsten Platz erfordert. Während die Programmierung der FPGAs auf SDRAM-Basis bei jedem Booten des System neu aus einem externen Baustein geladen werden muss, werden bei der Antifuse-Technologie die Logik-Verdrahungen fest im Chip installiert. Somit sind Antifuse-Produkte für Anwendungen mit höchsten Anforderungen an die Zuverlässigkeit wie Raumfahrt, Kommunikation, Computer und Industrie geeignet.

3. Anwendungsbeispiele

3.1 DSL Modem

Es gibt eine Vielzahl von Technologien, die einem Designer zum Entwurf eines Netzwerkes zur Verfügung stehen. Die Digital Subscriber Line (DSL) Technologie bietet über die Kupfer-doppeladern des bestehenden Telefonnetzes eine ständige breitbandige Verbindung zum Internet und ermöglicht ohne aufwendige Baumaßnahmen die Bereitstellung eines eigenen Datenkanals auf dem letzten Kilometer. Die Hauptkomponente eines DSL-Systems ist ein DSL-Modem. Dadurch kann die beim DSL-System typische Geschwindigkeit von 384 bps bis 1,544 Mbps erreicht werden. Möglich sind theoretisch sogar bis zu 10 Mbps.

Abbildung 1 zeigt eine generelle DSL-Modem-Karte, die mit ASSPs realisiert ist und Abbildung 2 zeigt eine DSL-Modem-Karte, die mit FPGAs realisiert ist und im Vergleich dazu deutlich günstiger ist.

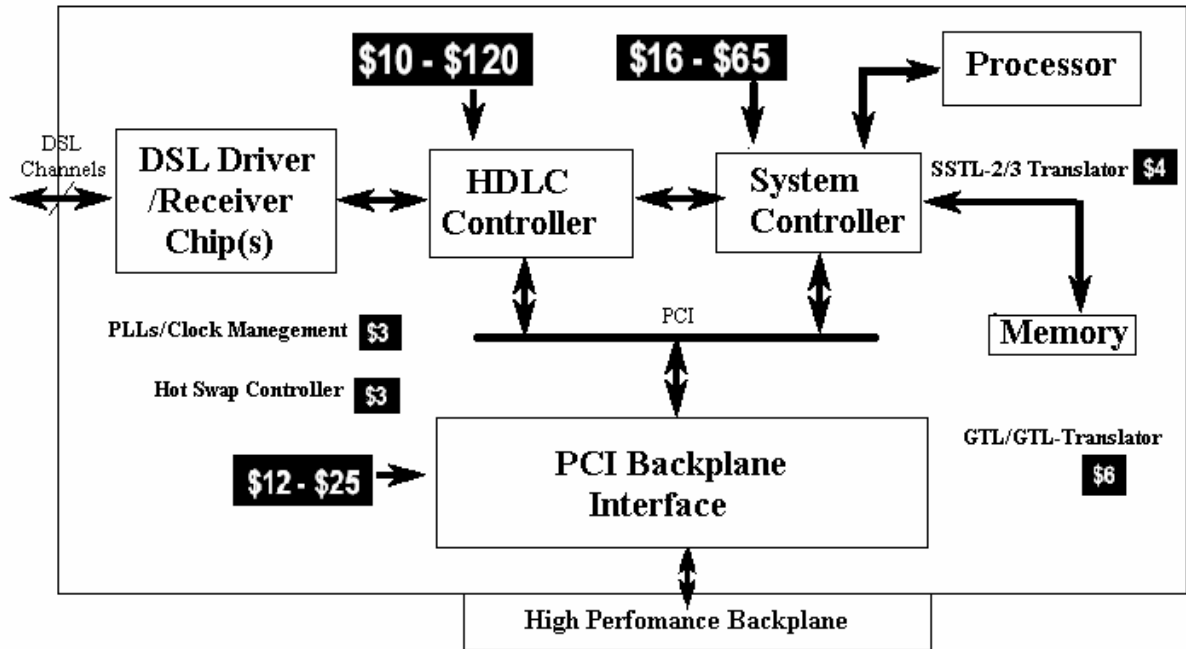


Abbildung 1. Genereller Aufbau eines DSL-Modems

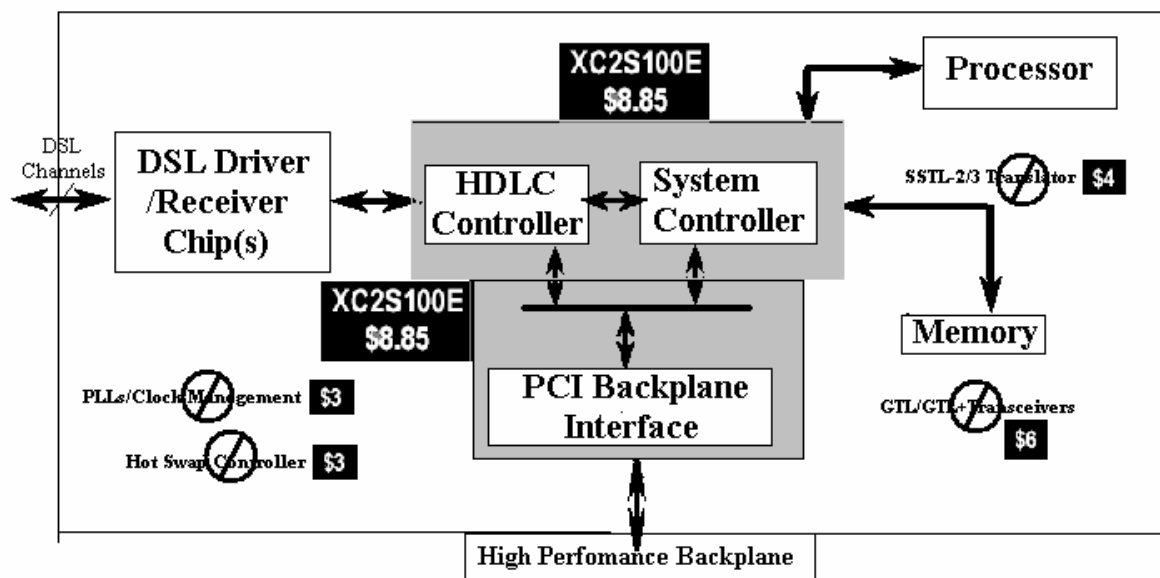


Abbildung 2. DSL-Modem mit Spartan II E FPGAs

3.2 MP3 NG: A Next Generation Consumer Platform

3.2.1 Überblick

Dieser Abschnitt stellt eine Anwendung von Xilinx Spartan II FPGAs mit einem IDT RC32364 RISC-Prozessor für tragbare Konsumer-Plattformen dar. Eine Spezialität dieser Applikation ist ein MP3-Audiospieler mit komfortabler Benutzeroberfläche. Bei dieser Applikation implementiert der Spartan II Baustein die Systemebenenlogik, die für die Zusammenschaltung und die Speicher- und I/O-Verwaltung benötigt wird. Der RC32364 wird für die MP3-Decodierung, die graphische Benutzeroberfläche und die Verwaltung verschiedener Bausteine eingesetzt.

3.2.2 Einführung

Das Design ist auf eine spezielle Problemlösung ausgerichtet: die Dekodierung und das Abspielen komprimierter Audioströme. Dabei müssen von dem eingebetteten System einige allgemeine technische Probleme gelöst werden:

- Unterstützen der graphischen Benutzeroberfläche
- kosteneffektive Schnittstelle zu LCD Display, Berührungsbildschirm, USB, IRDA und Kompakt-FLASH
- Error Handling bei NAND Flash Anwendungen
- Kontrollieren des SDRAM Speichers

3.2.3 Überblick des Lösungskonzepts

Ein wichtiges Ziel für diese Applikation ist ein Entwurf mit möglichst niedrigen Kosten und gleichzeitiger Unterstützung verschiedener hinzugefügter Eigenschaften.

Abbildung 3 zeigt einen Überblick des MP3-Players, folgende Eigenschaften sind wichtig:

- 128*128 Pixel Touchscreen
- USB Schnittstelle für Musikdownloads und Netzwerk-Anschluß
- IDRA Infrarot-Schnittstelle für Datenaustausch mit anderen Geräten.
- eingebauter 32 MB FLASH Speicher
- CompactFlash Schnittstelle für den Anschluß zusätzlicher CompactFlash Karten oder anderen Hardware

Alle diese Funktionen werden durch einen High-Performance 32-Bit Prozessor RC32364 zur Verfügung gestellt und mit einem Spartan II FPGA miteinander verbunden.

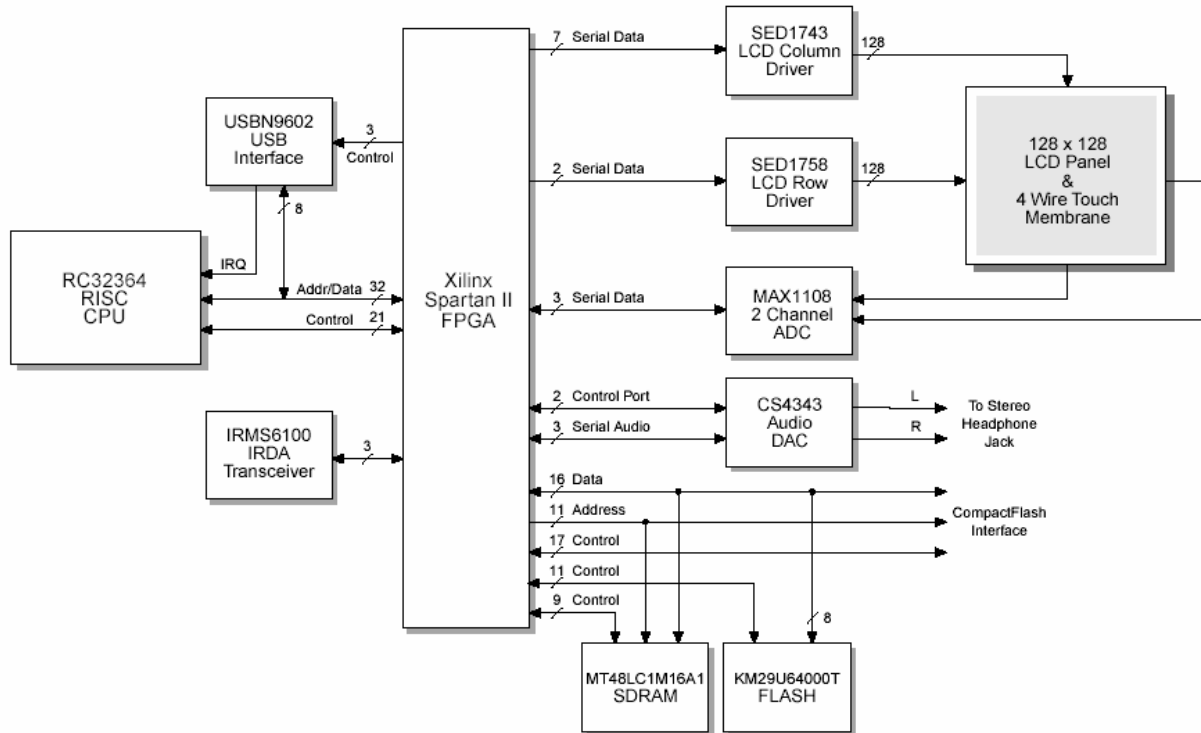


Abbildung 3. MP3 Player System Block Diagram

3.2.4 Überblick über die eingesetzten anwendungsspezifischen Standardprodukte (ASSPs)

RC32364 Processor

Für die Implementierung wird der Prozessor RC32364 wegen seiner folgenden Eigenschaften, ausgewählt:

- seitenbasierte Speicherverwaltung
- High-Performance: 175 MIPS bei 133 MHz
- Inter Multiply Accumulate (MAC) unterstützt 67M MACs/second bei 133 MHz
- Separate, reservierbare Daten-/Befehls caches

Der Prozessor wird mit einem gemultiplexten, 32 Bit Adress-/Datenbus an das System angeschlossen. Der Bus besitzt viele Steuersignale, von denen hier nur eine Teilmenge benötigt wird.

Crystal CS4343 Stereo DAC

Als Digital-Analog-Konverter für das System wird der Crystal CS4343 gewählt, dessen Eigenschaften sind :

- 1.8 V zu 3.3 V Operation
- 24-Bit Konvertierung bei maximal 96 KHz
- digitale Lautstärkekontrolle
- digitale Bass dreifach Verstärkung
- eingebauter Kopfhörerverstärker liefert 5 mW bei 16 Ω

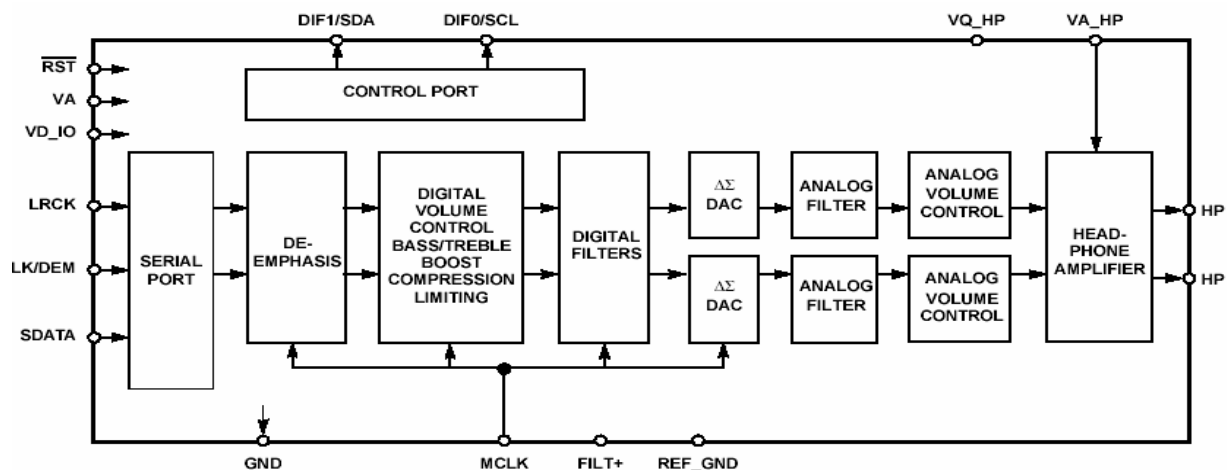


Abbildung 4: CS4343 Block Diagram

Der CS4343 bietet drei Schnittstellen: die analoge Stereokopfhörer- Schnittstelle, einen seriellen Anschluss, um digitale Audiodatenströme zu übertragen und einen Kontrollport für die Konfigurationen der Schnittstellen.

Der Kontrollport ist eine dem Industrie Standard I²C untergeordnete Schnittstelle. I²C ist eine multifunktionale serielle Schnittstelle mit zwei Anschlussleitungen, die mit Clock (SCL) und Daten (SDA) bezeichnet werden. Der Kontrollport ist für die Lautstärkeregelung, das Muting, den Equalizer und die Energieverwaltungen zuständig. Die serielle Schnittstelle ist für verschiedene Operationsmodelle konfigurierbar.

Samsung FLASH Memory

Für die Speicher-Implementierung wurde der Baustein KM29U64000T 8M×8 von Samsung gewählt. Dieser Baustein basiert auf NAND FLASH Technologie und wird sehr häufig wegen der hohen Dichte und der niedrigeren Kosten pro Bit in MP3-Playern als eingebaut.

Der Baustein ist durch einen 8-Bit breiten Port, der sowohl für die Adresse als auch für die Daten verfügbar ist, mit dem System verbunden. Der Port ist eine gemultiplexte Schnittstelle, die für den Zugriff auf den Bausteins zuständig ist. Zusammen mit dem Problem der Datenintegrität, die FLASH-Speichern inhärent ist, stellt das eine Herausforderung für das System-Design dar.

Micron SDRAM Memory

Als Speicher-Baustein wurde der SDRAM Speicher von Micron gewählt. Dieser Speicher besitzt eine synchrone Schnittstelle mit einer Zugriffsfrequenz von 125 bis 166 MHz.

National Semiconductor USBN9602 USB Function Controller

Der Entwurf der USB Schnittstelle basiert auf einem National USBN9602 Kontroller, der in einem 28-Pin SOIC Gehäuse verpackt ist. Der Kontroller unterstützt Voll-Speed USB-Funktion und enthält ein eingebautes USB Send- und Empfangsmodul. Zusätzlich besitzt der Kontroller sieben FIFOs.

Das System ist über einen 8-Bit Mikroprozessor-Bus mit dem USBN9602 verbunden. Der Bus ist per Software konfigurierbar: er arbeitet entweder im Multiplex-Betrieb oder im Nichtmultiplex-Betrieb. Hier wird das Multiplex-Modell benutzt.

3.2.5 Xilinx Spartan II FPGA

Abbildung 5 zeigt die mit Hilfe eines Spartan II FPGAs von Xilinx die für diese Applikation implementierte Architektur. Sie besteht aus folgenden funktionalen Blöcken:

- IP Bus Kontroller
- CPU Schnittstelle
- LCD Kontroller
- Speicher-Schnittstelle
- SDRAM Kontroller
- FLASH Kontroller
- DAC Schnittstelle
- Touchscreen Schnittstelle

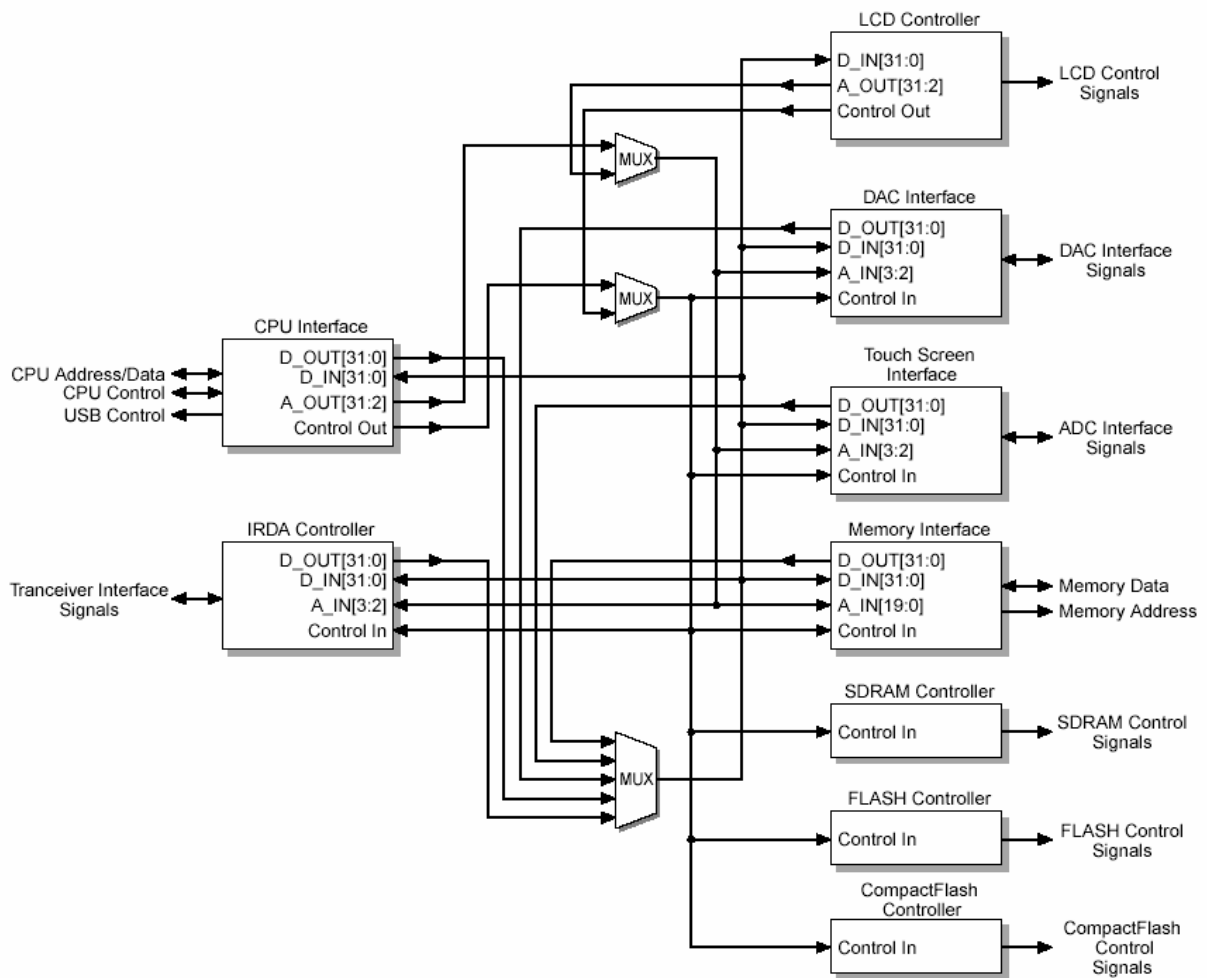


Abbildung 5. FPGA Logik Block Diagramm

Diese Blöcke sind durch einen nicht gemultiplexten Multi-Master Adress-/Datenbus miteinander verbunden, der als IP Bus bezeichnet wird. Der Bus nutzt die Multiplexer, damit die von verschiedenen Blöcken abgeholten Daten zu internen Datenpfaden transformiert werden können. In dieser Applikation hat der Bus zwei Master: die CPU Schnittstelle und den LCD Controller. Die meisten Blöcke sind voneinander unabhängig und benutzen gemeinsam den Adress-/Datenbus.

IP Bus Kontroller

Mit dem IP Bus Kontroller Block werden zwei Funktionen durchgeführt:

- durch Adressdekodierung wird das Übertragungsziel ausgewählt und der Multiplexer für die Antwort gesteuert.
- durch eine einfache rotierende Priorität wird das Zugriffsrecht von CPU Schnittstelle und LCD Kontroller auf den Bus überwacht.

Um diese Funktionen zu realisieren, sind 32 CLBs der FPGA Ressourcen einzusetzen. Es wird kein IOB benötigt.

CPU Schnittstelle

Der CPU Schnittstellen Block führt drei Funktionen durch: die Protokoll-Konvertierung, die CPU Initialisierung und das Adress-Demultiplexen.

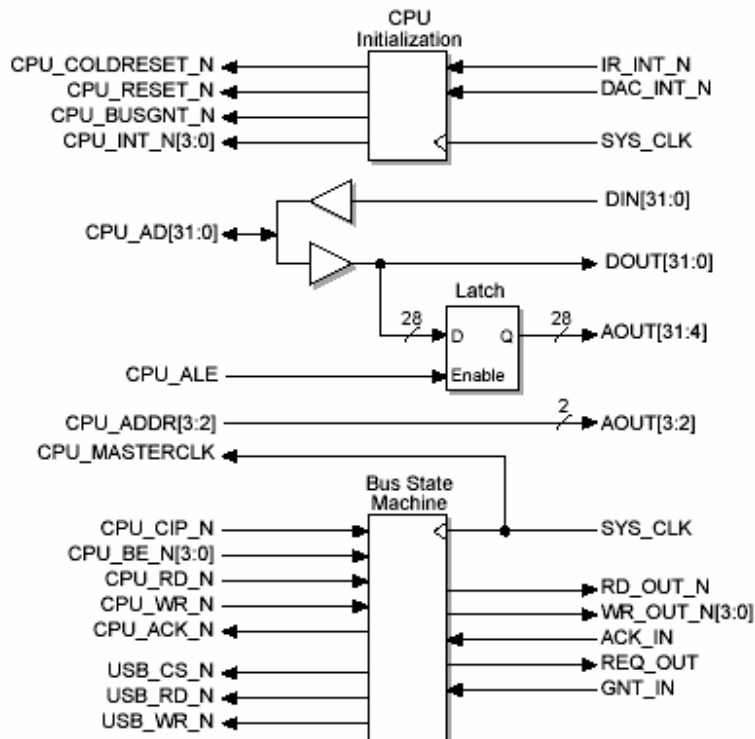


Abbildung 6: CPU Interface Block Diagram

Durch den CPU-Initialisierungsblock werden die für die CPU-Zustände benötigten Signale und die Unterbrechungen generiert, z.B. CPU-COLDRESET_N, CPU_INT_N.

Die Buszustands-Maschine konvertiert die Signale vom CPU_BUS in das für den lokalen IP-BUS benötigte Format.

Hierzu werden 46 CLBs und 54 IOBs benötigt.

LCD Kontroller

Der LCD Kontroller ist ein IP BUS Master, der unabhängig von der CPU-Aktivität die für das Bildschirmauffrischen benötigten Daten aus dem Speicher holt. Die abgeholten Bildschirmdaten werden mittels Blockübertragung über den IP-BUS zuerst in ein FIFO geladen. Die Schieberegister laden die Bildschirmdaten aus dem

FIFO und schieben sie dann als 4-Bit breiten Datenstrom mit einer Schiebegeschwindigkeit von 16 MHz weiter.

58 CLBs und neun IOBs sind im FPGA für diese Implementierung einzusetzen.

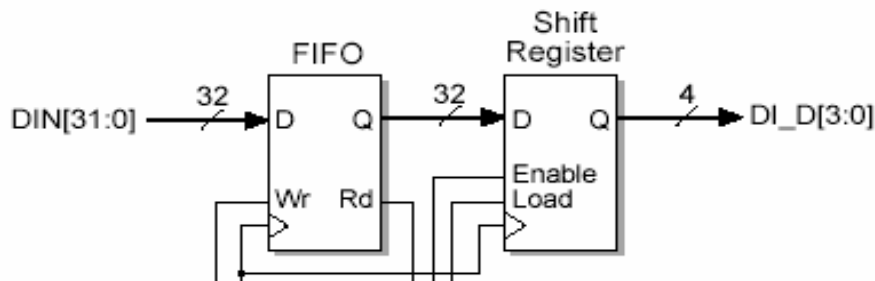


Abbildung 7: LCD Controller Block Diagram

Schnittstelle für den Speicher

Diese Schnittstelle realisiert einen Datenpfad, der für die Übertragung zwischen 8/16-Bit breitem Speicherbus zum 32-Bit breitem IP-BUS erforderlich ist. Dazu werden 14 CLBs und 27 IOBs benötigt.

SDRAM Kontroller

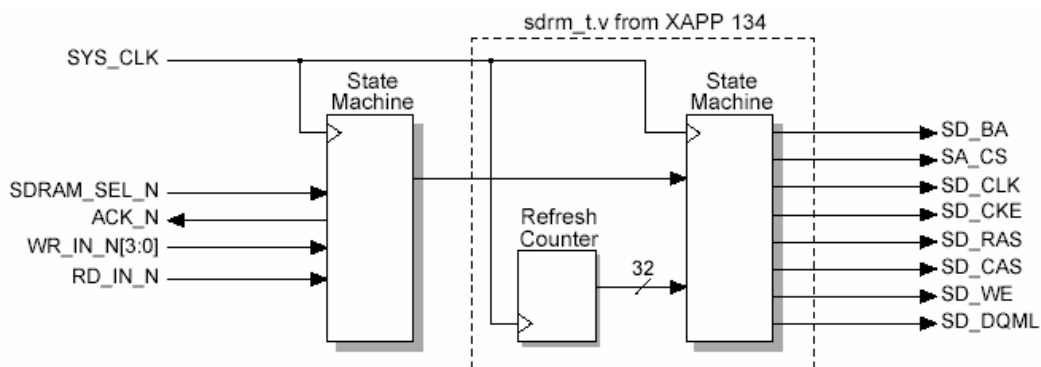


Abbildung 8 : SDRAM Controller Block Diagram

Der SDRAM Kontroller besitzt auf der einen Seite eine Systemschnittstelle mit einer Frequenz von 62.5 MHz und auf der anderen Seite eine Schnittstelle für einen SDRAM Speicher. Hierzu werden zwei DLLs des FPGA benötigt, die die FPGA- und SDRAM-Takte anbieten. Bei diesem Entwurf wird die 2× Funktion der DLLs benutzt und damit erreicht die SDRAM-Frequenz das Doppelte der FPGA-Frequenz. Wenn das SDRAM z.B. bei 125 MHz arbeitet, ist die Eingangsfrequenz des FPGA 62.5 MHz.

FLASH Kontroller

Den größten Kostenanteil verursacht bei MP3-Playern der FLASH-Speicher. Der Kontroller bietet die FLASH-Kontrollsignale an und über die 8-Bit breite Schnittstelle des FLASH kann auf den Speicher zugegriffen werden. Um den Speicher effizient zu nutzen, sind effiziente Methoden für das Paging und die Kollisionsbehandlung implementiert.

Hierzu werden 100 CLBs und 10 I/OBs benötigt.

Audio DAC Schnittstelle

Die Schnittstelle für den CS4343 Stereo-DAC-Baustein besteht aus zwei separaten funktionalen Blöcken: Umwandlung von parallelen Daten des IP-Bus in serielle Daten sowie eine serielle 2-Bit Schnittstelle für die Kontrolle des DAC-Bausteins:

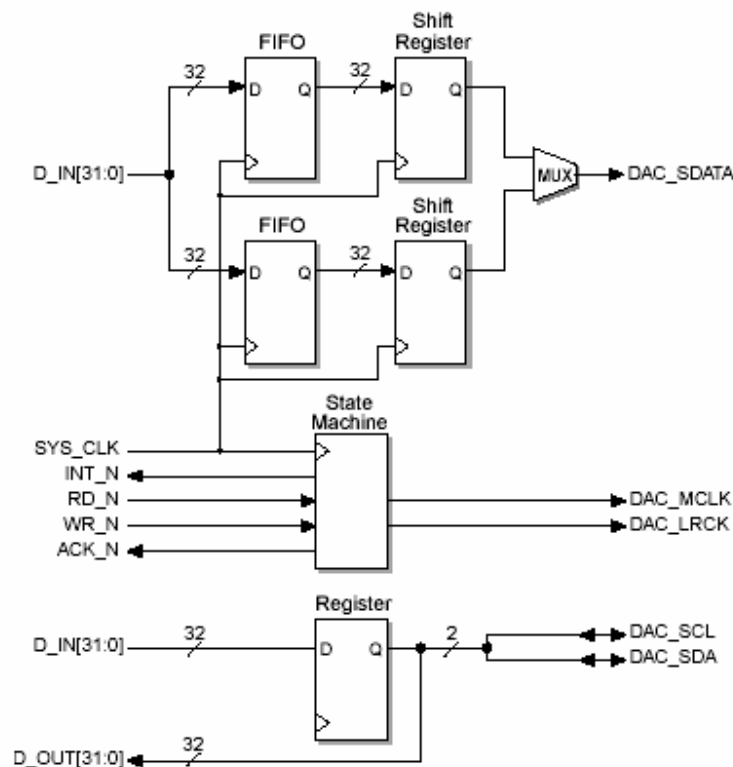


Abbildung 9: Audio DAC Interface Block Diagram

Die 2-Bit Schnittstelle implementiert das I²C-Protokoll, das für den Zugriff auf die Kontroll-/Zustandsregister des DAC benötigt wird.

Touchscreen Schnittstelle

Mit dieser Schnittstelle kann die CPU die Daten einlesen, die mittels eines Zwei-Kanal Analog-zu-Digital Konverters bereitgestellt werden.

3.2.6 Auswahl eines Spartan Bausteins

Für die Auswahl eines geeigneten FPGAs sind folgende Kriterien zu beachten:

- **I/O Pins:** dieses Design benötigt insgesamt 137 I/O Pins.
- **Spannung:** 3.3 V
- **Dichte:** geschätzter Verbrauch des Designs ist 500 CLBs
- **Performance:** der höchste Takt des Bausteins, der für den SDRAM-Kontroller benötigt wird, ist 64 MHz.

Tabelle 1 zeigt die für diese Implementierung benötigten Logik-Ressourcen.

Interface	CLB Usage	Number of Signals
CPU	25	51
LCD Display	58	9
IRDA	59	3
USB	21	3
DAC	23	5
ADC	0	3
SDRAM	100	9
FLASH	100	10
CompactFlash	100	17
Memory Address Bus	4	11
Memory Data Bus	10	16
Total:	500	137

Basierend auf diesen Kriterien wird der XC2S100 aus der Xilinx Spartan II Familie ausgewählt. Das FPGA besitzt 100K Logikgatter, 3.3V Betriebsspannung und 176 I/O Pins.

4. Literatur

- [1] A.Sikora, Programmierbare Logikbauelemente, Hanser Verlag, 2001
- [2] Xilinx XAPP169: MP3 NG: A Next Generation Consumer Platform, Application note, aus: www.xilinx.com
- [3] Robert Bielby, Wiederprogrammierbarkeit als Grundlage zur Verschmelzung digitaler Konsumerprodukte, elektronik industrie, 03-2002
- [4] Zusammenfassung über Rekonfigurierbare Logik, aus: www.all-electronic.de
- [5] Products and Service : System Resources : Xilinx At Work : DSL Modems, aus: www.Xilinx.com